

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11017124 A**

(43) Date of publication of application: **22.01.99**

(51) Int. Cl

H01L 27/10
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: **09166750**

(22) Date of filing: **24.06.97**

(71) Applicant: **TOSHIBA CORP TOSHIBA
MICROELECTRON CORP**

(72) Inventor: **HIDAKA OSAMU
OTSUKI SUMIHITO
MOCHIZUKI HIROSHI
KANETANI HIROYUKI
OKUWADA HISAMI
KATADA TOMIO
ARAI NORIHISA
TAKENAKA HIROYUKI**

(54) **SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF**

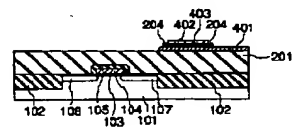
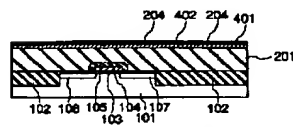
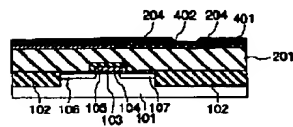
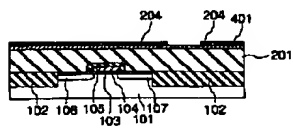
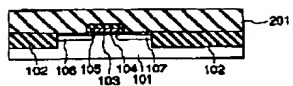
(57) Abstract:

PROBLEM TO BE SOLVED: To contrive to enable a semiconductor device to have a structure, wherein a strong and high dielectric film can be protected from damage, which is inflicted on the strong and high dielectric film by hydrogen and water, by a method wherein insulative films are respectively held formed previously on the parts, which oppose to the sidewalls of a ferroelectric film, of a lower electrode.

SOLUTION: Element isolation regions 102 are formed in a P-type silicon substrate 101, and, after ions are implanted in the substrate 101, a gate oxide film 103 is formed in the substrate 10 to deposit an N-type polysilicon film and a metal silicide film on the film 103, a gate 104 and a protective film 105 are formed on the film 103, impurities are ion-implanted in the substrate 101 using source and drain regions ss masks, and a first interlayer insulating film 201 is deposited on the entire surface. Then, a lower electrode 401 is deposited on the film 201 and insulative films 204 are respectively deposited on the parts, which oppose to the sidewalls of a ferroelectric film 402, of the electrode 401, a

ferroelectric region is etched, the ferroelectric film 402 is deposited on the films 204 and is polished to make an upper electric 403 deposit on the film 402, the films 204 are etched so as to house a ferroelectric material in the interior between the films 204 and the electrode 401 is etched. As a result, ones to come into contact with the film 402 are the upper and lower electrodes and the films 204 under the sidewalls of the film 402 and the parts, which are soaked in an atmosphere from the outside, of the film 402 are eliminated.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 7 1 2 4

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 月 2 2 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/10	451		H01L 27/10	451
27/04			27/04	C
21/822			27/10	651
27/108			29/78	371
21/8242				

審査請求 未請求 請求項の数 4 0 O L (全 3 6 頁) 最終頁に続く

(21) 出願番号 特願平 9 - 1 6 6 7 5 0

(22) 出願日 平成 9 年 (1 9 9 7) 6 月 2 4 日

(71) 出願人 0 0 0 0 0 3 0 7 8

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(71) 出願人 0 0 0 2 2 1 1 9 9

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町 2 5 番地 1

(72) 発明者 日高 修

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

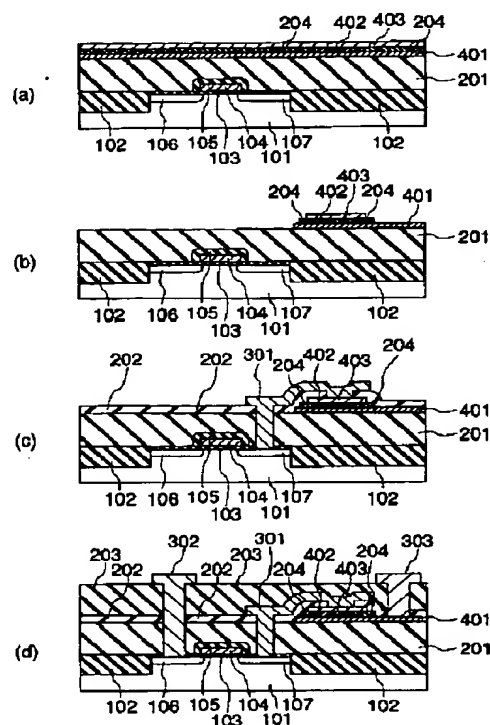
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 強・高誘電体膜に水素や水分が及ぼすダメージから保護し得る構造を有する半導体装置およびその製造方法を提供する。

【解決手段】 半導体基板の表層部に形成された MOS トランジスタ上に形成された第 1 の絶縁膜 201 と、第 1 の絶縁膜の上層側に形成され、下部電極 401、強誘電体または高誘電体を用いた電極間絶縁膜 402 および上部電極 403 を有する強・高誘電体キャパシタと、電極間絶縁膜が形成される前に電極間絶縁膜の側面を包むように予め形成され、電極間絶縁膜の側面を保護する絶縁性膜 204 と、MOS トランジスタのドレイン領域・ソース領域のうちの一方の領域と強・高誘電体キャパシタの下部電極あるいは上部電極との間を接続する電極配線 301 と、半導体基板上に形成された配線 302 とを具備する。



【特許請求の範囲】

【請求項 1】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタと、

前記トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜の上層側に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシタと、

前記電極間絶縁膜が形成される前に前記電極間絶縁膜の側面部を包むように予め形成され、前記電極間絶縁膜の側面を保護する第 2 の絶縁膜と、

前記ドレイン領域・ソース領域のうちの一方の領域と前記キャパシタの上部電極あるいは下部電極との間を接続する電極配線と、

前記半導体基板上に形成され、前記ドレイン領域・ソース領域のうちの他方の領域に接続された配線とを具備することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記第 2 の絶縁膜は窒化シリコン膜または酸化チタン膜であることを特徴とする半導体装置。

【請求項 3】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタと、

前記トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜の上層側に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシタと、

前記キャパシタに対して、前記下部電極と上部電極との間で露出した前記電極間絶縁膜の側面に接するように予め形成された窒化シリコン膜または酸化チタン膜と、

前記ドレイン領域・ソース領域のうちの一方の領域と前記キャパシタの上部電極あるいは下部電極との間を接続する電極配線と、

前記半導体基板上に形成され、前記ドレイン領域・ソース領域のうちの他方の領域に接続された配線とを具備することを特徴とする半導体装置。

【請求項 4】 半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタを形成する工程と、

この後、前記半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に下部電極用の第 1 の導電膜を形成する工程と、

前記第 1 の導電膜上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜に誘電体膜埋め込み用の開口を選択的に形成する工程と、

る工程と、

前記誘電体膜のうちで前記誘電体膜埋め込み用の開口部に埋め込まれている電荷蓄積キャパシタ用誘電体膜部分以外の前記第 2 の絶縁膜上の誘電体膜を除去する工程と、

この後、前記第 2 の絶縁膜上および前記誘電体膜上に上部電極用の第 2 の導電膜を形成する工程と、

前記第 2 の導電膜、第 2 の絶縁膜および第 1 の導電膜を順にパターニング加工することにより、電荷蓄積キャパシタを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタを形成する工程と、

この後、前記半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に下部電極用の第 1 の導電膜を形成する工程と、

前記第 1 の導電膜上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜に誘電体膜埋め込み用の開口を選択的に形成する工程と、

前記第 2 の絶縁膜を含む半導体基板上に強誘電体または高誘電体を用いた電極間絶縁膜となる誘電体膜を形成する工程と、

前記誘電体膜のうちで前記誘電体膜埋め込み用の開口部に埋め込まれている電荷蓄積キャパシタ用誘電体膜部分およびそれに連なる前記開口周縁部近傍の第 2 の絶縁膜上の誘電体膜部分を残し、それ以外の前記第 2 の絶縁膜上の誘電体膜を除去する工程と、

この後、前記第 2 の絶縁膜上および前記誘電体膜上に上部電極用の第 2 の導電膜を形成する工程と、

前記第 2 の導電膜、第 2 の絶縁膜および第 1 の導電膜を順にパターニング加工することにより、電荷蓄積キャパシタを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 または 5 記載の半導体装置の製造方法において、

前記第 2 の絶縁膜として窒化シリコン膜または酸化チタン膜を堆積することを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上に形成された第 1 の拡散層と、

前記第 1 の拡散層上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜上に形成された第 1 の導電膜と、

前記第 1 の絶縁膜に開口された第 1 のコンタクトホールに埋め込まれ、前記第 1 の拡散層および前記第 1 の導電膜を接続する第 1 の金属配線と、

前記第 1 の導電膜および前記第 1 の金属配線の少なくとも一方の上面を覆うように形成された窒化物系の膜または酸化チタン膜で形成された第 1 の配線層保護膜とを具

備することを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置において、さらに、

前記第 1 の金属配線と前記第 1 のコンタクトホールとの側壁との間に形成された導電性または絶縁性のバリア膜を具備することを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、前記バリア膜は窒化シリコン膜または酸化チタン膜であることを特徴とする半導体装置。

【請求項 10】 請求項 7 乃至 9 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層保護膜は、窒化シリコン膜または酸化チタン膜であることを特徴とする半導体装置。

【請求項 11】 請求項 7 乃至 9 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層保護膜は、前記第 1 の導電膜および前記第 1 の金属配線の上面を選択的に覆うようにバタニング加工されていることを特徴とする半導体装置。

【請求項 12】 請求項 7 乃至 11 のいずれか 1 項に記載の半導体装置において、前記第 1 の絶縁膜は、その表面が平坦化されており、前記第 1 の導電膜は、前記第 1 の絶縁膜に掘られた溝に埋め込み形成されていることを特徴とする半導体装置。

【請求項 13】 半導体基板上に形成された第 1 の拡散層と、

前記第 1 の拡散層上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜に開口された第 1 のコンタクトホールに埋め込まれた金属配線材料からなる第 1 のコンタクト配線層と、

前記第 1 のコンタクト配線層の上面の少なくとも一部を覆うように形成された第 1 の配線層保護膜と、

前記第 1 の配線層保護膜上および第 1 の絶縁膜上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜上に形成された第 1 の電極配線層と、前記第 1 の電極配線層上に高誘電体膜もしくは強誘電体膜で形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜上に形成された第 2 の電極配線層と、前記第 2 の電極配線層上に形成された第 4 の絶縁膜と、

前記第 4 の絶縁膜および第 2 の絶縁膜の前記第 1 のコンタクト配線層上に開口された第 2 のコンタクトホールに埋め込まれ、前記第 2 の電極配線層と第 1 のコンタクト配線層とを接続する第 2 のコンタクト配線層とを具備することを特徴とする半導体装置。

【請求項 14】 請求項 13 記載の半導体装置において、さらに、

前記第 1 のコンタクト配線層と前記第 1 のコンタクトホールの側壁との間に形成された導電性または絶縁性のバリア膜を具備することを特徴とする半導体装置。

【請求項 15】 請求項 14 記載の半導体装置において、

前記バリア膜は窒化シリコン膜または酸化チタン膜であることを特徴とする半導体装置。

【請求項 16】 請求項 13 乃至 15 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層保護膜は、窒化物系の膜または酸化チタン膜であることを特徴とする半導体装置。

【請求項 17】 請求項 13 乃至 15 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層保護膜は、前記コンタクト配線層の上面を選択的に覆うようにバタニング加工されていることを特徴とする半導体装置。

【請求項 18】 請求項 13 乃至 17 のいずれか 1 項に記載の半導体装置において、前記第 1 の電極配線層、前記第 3 の絶縁膜および前記第 2 の電極配線層で形成されたキャパシタを少なくとも覆うように形成された窒化シリコン膜または酸化チタン膜からなる第 2 の配線層保護膜をさらに具備することを特徴とする半導体装置。

【請求項 19】 半導体基板上に形成された第 1 の拡散層と、

20 前記第 1 の拡散層上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された第 1 の導電膜と、

前記第 1 の絶縁膜に開口された複数の第 1 のコンタクトホールの一部に埋め込まれ、前記第 1 の拡散層および前記第 1 の導電膜を接続する第 1 の金属配線と、前記複数の第 1 のコンタクトホールの一部に埋め込まれた金属配線材料からなる第 1 のコンタクト配線層と、前記第 1 の導電膜の上面、前記第 1 の金属配線の上面および前記第 1 のコンタクト配線層の上面の少なくとも一部を覆うように形成された第 1 の配線層保護膜と、

30 前記第 1 の配線層保護膜上および第 1 の絶縁膜上に形成された第 2 の絶縁膜と、

前記第 2 の絶縁膜上に形成された第 1 の電極配線層と、前記第 1 の電極配線層上に高誘電体膜もしくは強誘電体膜で形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜上に形成された第 2 の電極配線層と、前記第 2 の電極配線層上に形成された第 4 の絶縁膜と、

40 前記第 4 の絶縁膜および第 2 の絶縁膜の前記第 1 のコンタクト配線層上に開口された第 2 のコンタクトホールに埋め込まれ、前記第 2 の電極配線層と第 1 のコンタクト配線層とを接続する第 2 のコンタクト配線層とを具備することを特徴とする半導体装置。

【請求項 20】 請求項 19 記載の半導体装置において、さらに、

前記第 1 の金属配線と前記第 1 のコンタクトホールの側壁との間および前記第 1 のコンタクト配線層と前記第 1 のコンタクトホールの側壁との間に形成された導電性または絶縁性のバリア膜を具備することを特徴とする半導体装置。

【請求項 21】 請求項 20 記載の半導体装置において、

前記バリア膜は窒化シリコン膜または酸化チタン膜であることを特徴とする半導体装置。

【請求項 2 2】 請求項 1 9 乃至 2 1 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層保護膜は、窒化物系の膜または酸化チタン膜であることを特徴とする半導体装置。

【請求項 2 3】 請求項 1 9 乃至 2 1 のいずれか 1 項に記載の半導体装置において、前記第 1 の配線層保護膜は、前記第 1 の導電膜、前記第 1 の金属配線および前記第 1 のコンタクト配線層の上面を選択的に覆うようにパターンニング加工されていることを特徴とする半導体装置。

【請求項 2 4】 請求項 1 9 乃至 2 3 のいずれか 1 項に記載の半導体装置において、前記第 1 の電極配線層、前記第 3 の絶縁膜および前記第 2 の電極配線層で形成されたキャパシタを少なくとも覆うように形成された窒化シリコン膜または酸化チタン膜からなる第 2 の配線層保護膜をさらに具備することを特徴とする半導体装置。

【請求項 2 5】 半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有するトランジスタを形成する工程と、

この後、前記半導体基板上の全面に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜に選択的にコンタクトホールを開口し、前記トランジスタの一端側領域に下端部がコンタクトするビット線を第 1 の絶縁膜上に形成するとともに前記トランジスタの他端側領域に下端部がコンタクトするキャパシタコンタクトプラグを埋め込み形成する工程と、

前記半導体基板上で前記ビット線の上面および前記キャパシタコンタクトプラグの上面を覆う窒化シリコン膜または酸化チタン膜からなる第 2 の絶縁膜を形成する工程と、

この後、前記半導体基板上の全面に第 3 の絶縁膜を堆積する工程と、

前記第 3 の絶縁膜上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタを形成する工程と、

この後、前記半導体基板上の全面に第 4 の絶縁膜を堆積する工程と、

前記第 4 の絶縁膜、第 3 の絶縁膜および第 2 の絶縁膜の前記キャパシタコンタクトプラグ上に対応する部分に選択的に第 1 のコンタクトホールを開口し、さらに前記第 4 の絶縁膜の前記強誘電体キャパシタの上部電極上に対応する部分に選択的に第 2 のコンタクトホールを開口する工程と、

前記強誘電体キャパシタの上部電極と前記キャパシタコンタクトプラグの上端面との間を接続する電極配線を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2 6】 請求項 2 5 に記載の半導体装置の製造方法において、

さらに、前記強誘電体キャパシタの形成後にその上面を覆うように窒化シリコン膜または酸化チタン膜からなる第 5 の絶縁膜を形成する工程を具備し、前記コンタクトホールを開口する工程で前記第 5 の絶縁膜にも前記第 1 のコンタクトホールに連なるホールおよび前記第 2 のコンタクトホールに連なるホールを開口することを特徴とする半導体装置の製造方法。

10 【請求項 2 7】 それぞれ電極間絶縁膜に強誘電体物質を用いた情報記憶用の強誘電体キャパシタおよび電荷転送用の MOS トランジスタを備えた複数のメモリセルと、それぞれ同一行の前記メモリセルの MOS トランジスタのゲートに共通に接続された複数本のワード線と、それぞれ同一行の前記メモリセルの強誘電体キャパシタに共通に接続された複数本のキャパシタプレート線と、それぞれ同一列の前記メモリセルの MOS トランジスタの一端側に共通に接続された複数本のビット線とを有する強誘電体メモリを製造する方法であって、

20 半導体基板の表層部の所定位置でビット線方向に対して略平行な方向にそれぞれ MOS トランジスタを構成する 2 個のドレイン・チャネル・ソース領域を中央部でドレイン領域を共有しながら直線状に形成し、この際、複数個のドレイン・チャネル・ソース領域を全体として市松状に規則的に配置させることでセルアレイ領域を画定する工程と、

前記セルアレイ領域のそれぞれ同一行の複数個のドレイン・チャネル・ソース領域における各 MOS トランジスタのチャネル領域上にゲート絶縁膜を介して積層されたゲート電極部を有する複数本のワード線を互いに略平行な方向に形成する工程と、

前記ワード線の上に第 1 の絶縁膜を形成する工程と、前記セルアレイ領域のそれぞれ同一列の複数個のドレイン・チャネル・ソース領域における共通のドレイン領域にコンタクトする複数本のビット線を前記第 1 の絶縁膜上で互いに略平行な方向、かつ、前記複数本のワード線に略直交する方向に形成する工程と、

前記ドレイン・チャネル・ソース領域におけるソース領域に下端部がコンタクトするキャパシタコンタクトプラグを前記第 1 の絶縁膜に埋め込み形成する工程と、

40 前記ビット線上およびキャパシタコンタクトプラグ上を覆う窒化シリコン膜または酸化チタン膜からなる第 2 の絶縁膜を形成する工程と、

この後、前記半導体基板上の全面に第 3 の絶縁膜を堆積する工程と、

前記第 3 の絶縁膜上にそれぞれ同一行の複数個のメモリセルにおける強誘電体キャパシタで共有される下部電極となる複数本のキャパシタプレート線を前記ワード線に略平行な方向に形成するとともに、前記セルアレイ領域の単位セル毎に対応して前記下部電極、強誘電体物質を

用いた電極間絶縁膜および上部電極を有する複数の強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタの表面を覆う第 4 の絶縁膜を形成する工程と、

前記第 4 の絶縁膜、第 3 の絶縁膜および第 2 の絶縁膜の前記キャパシタコンタクトプラグ上に対応する部分に選択的に第 1 のコンタクトホールを開口し、さらに前記第 4 の絶縁膜の前記強誘電体キャパシタの上部電極上に対応する部分に選択的に第 2 のコンタクトホールを開口する工程と、

前記第 4 の絶縁膜上に電極配線材料を堆積し、前記単位セル毎に強誘電体キャパシタの上部電極とキャパシタコンタクトプラグの上端面との間を接続する電極配線をパターンニング形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2 8】 請求項 2 7 に記載の半導体装置の製造方法において、

さらに、前記強誘電体キャパシタの形成後にその上面を覆うように窒化シリコン膜または酸化チタン膜からなる第 5 の絶縁膜を形成する工程を具備し、前記コンタクトホールを開口する工程で前記第 5 の絶縁膜にも前記第 1 のコンタクトホールに連なるホールおよび前記第 2 のコンタクトホールに連なるホールを開口することを特徴とする半導体装置の製造方法。

【請求項 2 9】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタと、

前記トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜内に埋め込み形成されたコンタクトプラグを介して前記ドレイン領域・ソース領域のうちの一方の領域に接続され、前記第 1 の絶縁膜上に形成された配線と、

前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの他方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、

前記配線を含む前記第 1 の絶縁膜上に形成された窒化物系の膜または酸化チタン膜からなる第 2 の絶縁膜と、

前記第 2 の絶縁膜を含む半導体基板上に形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜上に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシタと、

前記キャパシタの上部電極と前記キャパシタコンタクトプラグの上端との間を接続する電極配線とを具備することを特徴とする半導体装置。

【請求項 3 0】 請求項 2 9 に記載の半導体装置において、

さらに、前記キャパシタの上面を覆うように形成された窒化シリコン膜または酸化チタン膜からなる第 4 の絶縁

膜を具備することを特徴とする半導体装置。

【請求項 3 1】 請求項 2 9 または 3 0 に記載の半導体装置において、

中央部でドレイン領域を共有する 2 個のドレイン・チャンネル・ソース領域がそれぞれ前記トランジスタを構成しながら前記半導体基板の表層部で複数個市松状に規則的に配置され、これらのドレイン・チャンネル・ソース領域の上方および最近接する 2 個のドレイン・チャンネル・ソース領域間の上方にそれぞれ前記キャパシタが配置されてセルアレイ領域が形成されていることを特徴とする半導体装置。

【請求項 3 2】 請求項 2 9 乃至 3 1 のいずれか 1 項に記載の半導体装置は、

それぞれ電極間絶縁膜に強誘電体物質を用いた情報記憶用の強誘電体キャパシタおよび電荷転送用の MOS トランジスタを備えた複数のメモリセルと、それぞれ同一行の前記メモリセルの MOS トランジスタのゲートに共通に接続された複数本のワード線と、それぞれ同一行の前記メモリセルの強誘電体キャパシタに共通に接続された複数本のキャパシタプレート線と、それぞれ同一列の前記メモリセルの MOS トランジスタの一端側に共通に接続された複数本のビット線とを有する強誘電体メモリであることを特徴とする半導体装置。

【請求項 3 3】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタと、

前記トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの一方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、

前記第 1 の絶縁膜上に形成された窒化物系の膜または酸化チタン膜からなる第 2 の絶縁膜と、

前記第 2 の絶縁膜上に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシタと、

前記キャパシタの上部電極と前記キャパシタコンタクトプラグの上端との間を接続する電極配線と、

前記半導体基板上に形成され、前記ドレイン領域・ソース領域のうちの他方の領域に接続された配線とを具備することを特徴とする半導体装置。

【請求項 3 4】 請求項 3 3 に記載の半導体装置において、

さらに、前記第 1 の絶縁膜内に埋め込み形成された前記配線用のコンタクトプラグを具備することを特徴とする半導体装置。

【請求項 3 5】 請求項 3 3 または 3 4 に記載の半導体装置において、

さらに、前記キャパシタの上面を覆うように形成された窒化シリコン膜または酸化チタン膜からなる第 3 の絶縁

膜を具備することを特徴とする半導体装置。

【請求項 3 6】 半導体基板上の絶縁層上に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシタと、前記キャパシタの直上に形成された窒化シリコン膜または酸化チタン膜とを具備することを特徴とする半導体装置。

【請求項 3 7】 半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタと、前記トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜の上層側に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシタと、

前記キャパシタの直上に形成された窒化シリコン膜または酸化チタン膜と、

前記ドレイン領域・ソース領域のうちの一方の領域と前記キャパシタの上部電極あるいは下部電極との間を接続する電極配線と、

前記半導体基板上に形成され、前記ドレイン領域・ソース領域のうちの他方の領域に接続された配線とを具備することを特徴とする半導体装置。

【請求項 3 8】 請求項 3 6 または 3 7 に記載の半導体装置において、

さらに、前記キャパシタの直下に形成された窒化シリコン膜または酸化チタン膜を具備することを特徴とする半導体装置。

【請求項 3 9】 請求項 1 乃至 3 および請求項 2 9 乃至 3 8 のいずれか 1 項に記載の半導体装置において、

前記強誘電体を用いた電極間絶縁膜は、ペロブスカイト構造あるいは層状ペロブスカイト構造の物質からなる強誘電体膜であることを特徴とする半導体装置。

【請求項 4 0】 請求項 1 乃至 3、請求項 2 9 乃至 3 1 および請求項 3 3 乃至 3 8 のいずれか 1 項に記載の半導体装置において、

前記高誘電体を用いた電極間絶縁膜は、比誘電率が 5 0 以上の高誘電率誘電体膜であることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、情報記憶用キャパシタの絶縁膜に複合酸化物膜を用いたメモリセルのアレイを有する半導体装置およびその製造方法に係り、特にキャパシタ絶縁膜に強誘電体を用いた強誘電体メモリセルのアレイを有する強誘電体メモリ（F R A M）あるいはキャパシタ絶縁膜に高誘電率誘電体を用いたダイナミック型メモリセルのアレイを有するダイナミック型ランダムアクセスメモリ（D R A M）におけるにおけるキャパシタ絶縁膜と配線の保護構造およびその形成方法に関

するもので、F R A MあるいはD R A Mを含む半導体集積回路に適用されるものである。

【0 0 0 2】

【従来の技術】近年、情報記憶用キャパシタの電極間絶縁膜としてペロブスカイト構造あるいは層状ペロブスカイト構造の物質からなる強誘電体薄膜を用いた不揮発性強誘電体メモリセル（F R A Mセル）およびそのアレイを有するF R A Mが注目を集めている。

【0 0 0 3】強誘電体膜は、電界が印加された時に一旦発生した電気分極は上記電界が印加されなくなっても残留し、上記電界とは反対方向の向きにある程度以上の強さの電界が印加された時に分極の向きが反転する特性を有している。

【0 0 0 4】この誘電体の分極の向きが反転する分極特性に着目し、メモリセルの情報記憶用のキャパシタの絶縁膜に強誘電体を用いてF R A Mセルを実現する技術が開発されている。

【0 0 0 5】このF R A Mセルは、D R A Mセルのキャパシタを強誘電体キャパシタに置き換えた構成になっており、スイッチ用のM O S トランジスタを介して強誘電体キャパシタから分極反転あるいは非反転の際の電荷を取り出す方式（データ破壊読み出し）を用いており、動作電源をオフ状態にしてもメモリセルに書かれている記憶データは失われない特徴がある。

【0 0 0 6】F R A Mは、大容量メモリの代表であるD R A Mと比較すると、不揮発性であるためにデータ保持にリフレッシュ動作が不要であって待機時の消費電力が不要であるという特徴を持つ。また、他の不揮発性メモリであるフラッシュメモリと比較すると、データ書換え回数が多く、かつデータ書き換え速度が著しく速いという特徴を持つ。また、メモリーカード等に使用される電池バックアップ可能なS R A Mと比較しても、消費電力が小さく、セル面積を大幅に小さくできるという特徴を持つ。

【0 0 0 7】上記のような特徴を持つF R A Mは、既存のD R A M、フラッシュメモリ、S R A Mとの置き換え、ロジック混載デバイスへの適用等、その期待は大変大きい。また、F R A Mは、バッテリーレスで高速動作が可能であるので、（R F - I D : Radio Frequency-Id entification）などの非接触カードへの展開が始まりつつある。

【0 0 0 8】前記したようにF R A Mセルは高速・低消費電力動作が可能であり、高集積化の実現が期待されており、メモリセル面積の縮小や強誘電体の劣化の少ない製造プロセスの検討が必要となっている。また、既存のF R A Mデバイスを他のデバイスと混載する場合や高集積化に不可欠となる多層配線技術は未だ確立していない状況である。

【0 0 0 9】F R A Mデバイスを搭載した半導体集積回路の多層配線化が難しい原因は、強誘電体材料が還元雰

囲気（特に水素雰囲気）に大変弱いことにある。既存の L S I 工程では、水素が混入するプロセスが殆んどであり、F R A M の製造上大きな問題となる。

【 0 0 1 0 】即ち、従来の F R A M セルの形成に際しては、例えば図 3 5 に示すように、シリコン基板 1 0 1 に素子分離領域 1 0 2 を形成した後、ゲート絶縁膜 1 0 3 を形成し、ゲート電極 1 0 4 、ゲート保護絶縁膜 1 0 5 、ドレイン・ソース領域（拡散層領域） 1 0 6 、 1 0 7 を順次形成することによりパストランジスタ（スイッチ用の M O S トランジスタ）を形成する。この後、B P S G 膜 2 0 1 等を堆積して平坦化し、その上層に下部電極 4 0 1 / 強誘電体膜 4 0 2 / 上部電極 4 0 3 を順に堆積し、それぞれパターニングを行って強誘電体キャパシタを配置し、その上層に絶縁膜（例えばプラズマ T E O S ） 2 0 7 を堆積し、この絶縁膜 2 0 7 と前記 B P S G 膜 2 0 1 に開けたコンタクトホールを介して局所配線 3 0 1 を施し、さらにその上層に絶縁膜 2 0 3 を堆積し、この絶縁膜 2 0 3 等を開けたコンタクトホールを介して金属配線 3 0 2 、 3 0 3 を施した後、パッシベーション膜で保護する。

【 0 0 1 1 】ここで、F R A M セルキャパシタの強誘電体としては、P Z T (P b (Z r , T i) O ₃)、チタン酸ジルコン酸鉛)、S B T (S r B i ₂ T a ₂ O ₁₂、ストロンチウム・ビスマス・タンタル)、B I T (B i , T i , O ₁₂) 等のペロブスカイト構造を含む酸化物あるいはそれらの一部を置換元素に置換した酸化物が用いられる。

【 0 0 1 2 】また、一般に、強誘電体材料として P Z T や B S T を用いた場合、強誘電体キャパシタの電極材料として P t (プラチナ)、I r、I r 酸化物 (I r O ₃)、R u、R u 酸化物 (R u O ₃)、L S C O など 3 0 の貴金属あるいは導電性酸化物が用いられる。

【 0 0 1 3 】前記したように強誘電体キャパシタを形成する際、通常は P t を用いて強誘電体キャパシタの下部電極を形成した後に強誘電体薄膜を成膜するが、上記強誘電体薄膜を成膜して結晶化を行う際、高温の酸素アニールが必要となる。

【 0 0 1 4 】ここで、強誘電体材料として P Z T を使用する場合、酸化が不十分な場合に P Z T 中の P b が拡散することに起因する欠陥の発生によってキャパシタ特性の劣化が起きる。これを避けるために十分な酸化を行うために必要な酸素アニール温度は通常は 6 0 0 ° C ~ 7 0 0 ° C である。

【 0 0 1 5 】また、強誘電体材料として S B T 等のビスマス層状化合物を使用する場合には、必要な酸素アニール温度は通常は ~ 8 0 0 ° C の高温である。

【 0 0 1 6 】しかし、強誘電体キャパシタの下部電極（例えば P t）とパストランジスタとをポリシリコンプラグで接続する構造の場合には、前記したような高温の酸素アニール時に、前記 P t を用いた下部電極がポリシリコンプラグと反応してシリサイド化する、あるいは、 5 0

ポリシリコンプラグが酸化するといった問題が生じる。

【 0 0 1 7 】一方、強誘電体キャパシタの上部電極とパストランジスタを埋め込み配線からなる局所電極配線で直接に接続する構造の場合は、微細化に伴うアスペクト比やステップカバレッジの点で上部電極とパストランジスタとを直接に接続するための局所電極配線を形成することは困難になる。

【 0 0 1 8 】また、強誘電体材料として P Z T や B S T を用いた場合、強誘電体薄膜成膜後における電極配線形成の際に行う諸々の C V D (化学気相成長) 工程での還元性雰囲気の問題となり、強誘電体材料が還元反応によって特性劣化を生じるという問題がある。

【 0 0 1 9 】つまり、上部電極とパストランジスタとを接続するための局所電極配線を形成する際に、D R A M で用いられているようなメタル C V D 装置を用いた強い還元性雰囲気（水素系のガス）中での W (タングステン) 成膜による W プラグの埋め込みを行おうとすると、強誘電体キャパシタの特性（残留分極量等の電気的特性）の劣化を引き起こすので、使用できない。

【 0 0 2 0 】これに対して、上部電極とパストランジスタとを接続するための局所電極配線を形成する際に、M O (Metal Organic) C V D を用いてアルミ配線膜の成膜を行うとしても、還元性雰囲気が皆無とはいえない（ソース物質を含め水素基成分を完全には除去できない）ので、やはり強誘電体キャパシタの特性劣化を引き起こす。

【 0 0 2 1 】即ち、従来の Si 半導体プロセスでは、絶縁膜を堆積する工程や、コンタクトの Al と Si の接点を安定化させる必要から水素雰囲気を要するプロセスを必須としてきた。しかし、前述したように強誘電体膜は水素雰囲気や水分に弱いという弱点がある。その理由は、水素ガスや水分が強誘電体に達すると酸化物である強誘電体の結晶構造に酸素の空孔が発生するためであり、水素や水分を発生するような工程はキャパシタ形成後は排除する必要がある。なお、キャパシタ上の絶縁膜として前記したようなプラズマ T E O S を堆積させる工程は、この工程で発生する水素が強誘電体にあたえるダメージは水分よりも比較的小さいことで止むなく採用している。

【 0 0 2 2 】一方、D R A M においても、近年、ペロブスカイト構造あるいは層状ペロブスカイト構造の高誘電体材料をキャパシタ絶縁膜に用いることが試みられているが、こうした D R A M における高誘電体材料はやはり還元反応によって特性劣化を生じるという問題がある。

【 0 0 2 3 】即ち、D R A M の集積度は年々向上しているが、寸法は小さくなっても電荷を蓄積する誘電体キャパシタの電気容量は約 3 0 f F 以上に保たなければならない。そのためには、キャパシタの有効面積を大きくするか、誘電体膜の厚さを薄くするか、誘電体材料の誘電率を大きくするかしなければならない。これまでの技術では、主に前二者の改良により、キャパシタの立体化と

薄膜化が検討されてきたが、従来からの SiO_2 系の誘電体膜では、その立体化と薄膜化が限界に達しつつある。そこで、比誘電率が 50 以上程度と大きな高誘電率誘電体、例えば BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$) 等の薄膜に対する期待が高まっているが、こうした薄膜についても前述した強誘電体膜の場合と全く同様に、水素や水分を発生するような後工程は望ましくは排除することが求められる。

【0024】さらに、上記した FRAM 、 DRAM のような強・高誘電体材料を用いた半導体装置を形成する際は、強・高誘電体膜の堆積またはエッチングを行った後に、堆積時の応力の解放やエッチング時のダメージによる特性変化（強・高誘電体膜の特性劣化）の回復を目的として、酸素雰囲気中でのアニーリング（酸化工程）が必要とされている。

【0025】これまでは、この酸素雰囲気でのアニーリングにより、既に形成した配線および配線電極が酸化され高抵抗になったり、異常酸化のために形状異常になり、クラックの原因などになることを恐れ、一般に強・高誘電体膜の両面に電極を具備するキャパシタ構造を形成し、酸素雰囲気中でアニーリングした後にキャパシタ電極と既に半導体基板上に形成した拡散層間の配線層・配線コンタクトを形成していた。

【0026】上記配線コンタクトの形成は、集積度が低くデバイスのチップサイズが比較的大きいうちは容易であったが、集積度が高くなるにつれてデバイスの縦方向も高密度となり、径の非常に小さいコンタクト配線層を形成し、素子の上にさらに素子をのせる様な構成が要求される。その場合、必然的に高・強誘電体素子を形成する前に配線層を形成しなくてはならない。

【0027】しかし、高・強誘電体素子の形成以前に配線層を形成した場合、高・強誘電体素子の形成時における酸素雰囲気でのアニールにより、配線層が酸化し、高抵抗となり、十分に低い配線抵抗を得ることができなかった。

【0028】また、一般に酸化に強いとされている金属配線材料を使用して配線層を高・強誘電体素子形成より先に形成しても、異常酸化を起こし、クラックの原因となるなど様々な問題があり、低い配線抵抗を実現できなかった。

【0029】さらに、 MOSFET 活性層とコンタクト配線層とのコンタクト抵抗を下げるために通常の半導体デバイスの工程で行われている水素、窒素の混合ガスを用いた 450℃ のシンター工程は、高・強誘電体膜を水素が還元してしまい、高・強誘電体素子の特性を劣化させてしまうために採用し難く、 MOSFET やコンタクトの特性を制御するのが非常に困難であった。

【0030】

【発明が解決しようとする課題】 上記したように従来の強誘電体メモリは、強誘電体キャパシタの特性劣化を防

止し、かつ、プロセスをインテグレーションすることが困難であった。

【0031】本発明は上記の問題点を解決すべくなされたもので、強・高誘電体膜に水素や水分が及ぼすダメージから保護し得る構造を有する半導体装置およびその製造方法を提供することを目的とする。

【0032】また、本発明は、強誘電体膜の残留分極量の劣化を低く抑えることが可能な半導体装置およびその製造方法を提供することを目的とする。

10 【0033】また、本発明は、還元性雰囲気による強・高誘電体膜の特性の劣化を防ぐことが可能な半導体装置およびその製造方法を提供することを目的とする。

【0034】さらに、本発明は、強・高誘電体膜の形成前に既に形成した配線層および素子を酸化から保護し、配線層および素子の良好な導電性および形状を維持、供給することが可能な半導体装置およびその製造方法を提供することを目的とする。

20 【0035】また、本発明は、強誘電体メモリセルを製造する際に、強誘電体キャパシタの特性劣化を防止し、かつ、プロセスインテグレーションを可能とする半導体装置およびその製造方法を提供することを目的とする。

【0036】また、本発明の他の目的は、少なくとも 2 層以上の多層配線構造を有する強誘電体メモリを製造する際に、セルに接続されるビット線を多層配線で形成することが可能になり、高集積化および他のデバイスとの混載が容易になる半導体装置およびその製造方法を提供する。

【0037】

30 【課題を解決するための手段】 第 1 の発明に係る半導体装置は、半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタと、前記トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜の上層側に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシタと、前記電極間絶縁膜が形成される前に前記電極間絶縁膜の側面部を包むように予め形成され、前記電極間絶縁膜の側面を保護する第 2 の絶縁膜と、前記ドレイン領域・ソース領域のうちの一方の領域と前記キャパシタの上部電極あるいは下部電極との間を接続する電極配線と、前記半導体基板上に形成され、前記ドレイン領域・ソース領域のうちの他方の領域に接続された配線とを具備することを特徴とする。

40 【0038】なお、第 1 の発明の半導体装置において、前記第 2 の絶縁膜は窒化シリコン膜または酸化チタン膜であることが望ましい。

50 【0039】第 2 の発明に係る半導体装置は、半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタと、前記トランジスタを含む半導体基板上に形成された

第 1 の絶縁膜と、前記第 1 の絶縁膜の上層側に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシタと、前記キャパシタに対して、前記下部電極と上部電極との間で露出した前記電極間絶縁膜の側面に接するように予め形成された窒化シリコン膜または酸化チタン膜と、前記ドレイン領域・ソース領域のうちの一方の領域と前記キャパシタの上部電極あるいは下部電極との間を接続する電極配線と、前記半導体基板上に形成され、前記ドレイン領域・ソース領域のうちの他方の領域に接続された配線とを具備することを特徴とする。

【0040】第 3 の発明に係る半導体装置は、半導体基板上に形成された第 1 の拡散層と、前記第 1 の拡散層上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された第 1 の導電膜と、前記第 1 の絶縁膜に開口された第 1 のコンタクトホールに埋め込まれ、前記第 1 の拡散層および前記第 1 の導電膜を接続する第 1 の金属配線と、前記第 1 の導電膜および前記第 1 の金属配線の少なくとも一方の上面を覆うように形成された窒化物系の膜または酸化チタン膜で形成された第 1 の配線層保護膜とを具備することを特徴とする。

【0041】第 4 の発明に係る半導体装置は、半導体基板上に形成された第 1 の拡散層と、前記第 1 の拡散層上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜に開口された第 1 のコンタクトホールに埋め込まれた金属配線材料からなる第 1 のコンタクト配線層と、前記第 1 のコンタクト配線層の上面の少なくとも一部を覆うように形成された第 1 の配線層保護膜と、前記第 1 の配線層保護膜上および第 1 の絶縁膜上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された第 1 の電極配線層と、前記第 1 の電極配線層上に高誘電体膜もしくは強誘電体膜で形成された第 3 の絶縁膜と、前記第 3 の絶縁膜上に形成された第 2 の電極配線層と、前記第 2 の電極配線層上に形成された第 4 の絶縁膜と、前記第 4 の絶縁膜および第 2 の絶縁膜の前記第 1 のコンタクト配線層上に開口された第 2 のコンタクトホールに埋め込まれ、前記第 2 の電極配線層と第 1 のコンタクト配線層とを接続する第 2 のコンタクト配線層とを具備することを特徴とする。

【0042】第 5 の発明に係る半導体装置は、半導体基板の表層部に形成された不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタと、前記トランジスタを含む半導体基板上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜内に埋め込み形成され、前記ドレイン領域・ソース領域のうちの一方の領域に下端部がコンタクトしたキャパシタコンタクトプラグと、前記第 1 の絶縁膜上に形成された窒化物系の膜または酸化チタン膜からなる第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成され、下部電極、強誘電体または高誘電体を用いた電極間絶縁膜および上部電極を有するキャパシ

タと、前記キャパシタの上部電極と前記キャパシタコンタクトプラグの上端との間を接続する電極配線と、前記半導体基板上に形成され、前記ドレイン領域・ソース領域のうちの他方の領域に接続された配線とを具備することを特徴とする。

【0043】第 6 の本発明に係る半導体装置の製造方法は、半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタを形成する工程と、この後、前記半導体基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に下部電極用の第 1 の導電膜を形成する工程と、前記第 1 の導電膜上に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜に誘電体膜埋め込み用の開口を選択的に形成する工程と、前記第 2 の絶縁膜を含む半導体基板上に強誘電体または高誘電体を用いた電極間絶縁膜となる誘電体膜を形成する工程と、前記誘電体膜のうちで前記誘電体膜埋め込み用の開口部に埋め込まれている電荷蓄積キャパシタ用誘電体膜部分以外の前記第 2 の絶縁膜上の誘電体膜を除去する工程と、この後、前記第 2 の絶縁膜上および前記誘電体膜上に上部電極用の第 2 の導電膜を形成する工程と、前記第 2 の導電膜、第 2 の絶縁膜および第 1 の導電膜を順にパターニング加工することにより、電荷蓄積キャパシタを形成する工程とを具備することを特徴とする。

【0044】第 7 の発明に係る半導体装置の製造方法は、半導体基板の表層部に不純物拡散領域からなるドレイン領域・ソース領域を有するスイッチ用のトランジスタを形成する工程と、この後、前記半導体基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に下部電極用の第 1 の導電膜を形成する工程と、前記第 1 の導電膜上に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜に誘電体膜埋め込み用の開口を選択的に形成する工程と、前記第 2 の絶縁膜を含む半導体基板上に強誘電体または高誘電体を用いた電極間絶縁膜となる誘電体膜を形成する工程と、前記誘電体膜のうちで前記誘電体膜埋め込み用の開口部に埋め込まれている電荷蓄積キャパシタ用誘電体膜部分およびそれに連なる前記開口周縁部近傍の第 2 の絶縁膜上の誘電体膜部分を残し、それ以外の前記第 2 の絶縁膜上の誘電体膜を除去する工程と、この後、前記第 2 の絶縁膜上および前記誘電体膜上に上部電極用の第 2 の導電膜を形成する工程と、前記第 2 の導電膜、第 2 の絶縁膜および第 1 の導電膜を順にパターニング加工することにより、電荷蓄積キャパシタを形成する工程とを具備することを特徴とする。

【0045】なお、第 6 の発明および第 7 の発明に係る半導体装置の製造方法において、前記第 2 の絶縁膜として窒化シリコン膜または酸化チタン膜を堆積することが望ましい。

【0046】第 8 の発明に係る半導体装置の製造方法は、半導体基板の表層部に不純物拡散領域からなるドレ

イン領域・ソース領域を有するトランジスタを形成する工程と、この後、前記半導体基板上の全面に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜に選択的にコンタクトホールを開口し、前記トランジスタの一端側領域に下端部がコンタクトするビット線を第 1 の絶縁膜上に形成するとともに前記トランジスタの他端側領域に下端部がコンタクトするキャパシタコンタクトプラグを埋め込み形成する工程と、前記半導体基板上で前記ビット線の上面および前記キャパシタコンタクトプラグの上面を覆う窒化シリコン膜または酸化チタン膜からなる第 2 の絶縁膜を形成する工程と、この後、前記半導体基板上の全面に第 3 の絶縁膜を堆積する工程と、前記第 3 の絶縁膜上に下部電極、強誘電体物質を用いた電極間絶縁膜および上部電極を有する強誘電体キャパシタを形成する工程と、この後、前記半導体基板上の全面に第 4 の絶縁膜を堆積する工程と、前記第 4 の絶縁膜、第 3 の絶縁膜および第 2 の絶縁膜の前記キャパシタコンタクトプラグ上に対応する部分に選択的に第 1 のコンタクトホールを開口し、さらに前記第 4 の絶縁膜の前記強誘電体キャパシタの上部電極上に対応する部分に選択的に第 2 のコンタクトホールを開口する工程と、前記強誘電体キャパシタの上部電極と前記キャパシタコンタクトプラグの上端面との間を接続する電極配線を形成する工程とを具備することを特徴とする。

【 0 0 4 7 】

【発明の実施の態様】以下、図面を参照しながら本発明の半導体装置とその製造方法について説明する。

【 0 0 4 8 】（実施例 1）（図 1 ～ 図 3）

実施例 1 は、強誘電体膜の側壁に対向する部分に予め（強誘電体膜の形成前に）絶縁性膜を形成しておくことを特徴とするものである。

【 0 0 4 9 】まず、図 1（a）に示すように、[001] の方位を持つ P 型シリコン基板上 101 に素子分離領域 102 を形成する。図 1（a）では、素子分離領域 102 として、シリコン基板に溝を形成した後その溝を絶縁物で埋め戻す S T I（Shallow Trench Isolation）構造を示したが、L O C O S 法による酸化膜構造も可能である。なお、素子の特性の要求よりシリコン基板に N 型を用いることも可能である。

【 0 0 5 0 】次いで、チャネル部分に閾値調整のためのイオン注入を行った後、ゲート酸化膜 103 を形成し、N 型のポリシリコンを堆積し、さらに W S i などのシリサイド金属を堆積してゲート材とする。なお、素子の特性の要求によっては、P 型のポリシリコンを堆積し、あるいは、シリサイドの堆積工程を省くことも可能である。

【 0 0 5 1 】次に、フォトリソグラフィ工程によってゲート（ワード線）をパターニングし、異方性エッチングによりゲート 104 を形成する。次に、ゲートのポリシリコンやシリサイドの表面を酸化させて保護膜 105 を形成するが、必要に応じて堆積工程も行う。その後、ゲー

ト 104 をマスクとして、ソース領域 106 およびドレイン領域 107 として N 型あるいは P 型不純物をシリコン基板にイオン注入し、第 1 の層間絶縁膜 201 を堆積する。

【 0 0 5 2 】次に、図 1（b）に示すように、強誘電体の下部電極 401 を堆積する。この下部電極 401 としては例えば P t や I r が有効であるが、P t を堆積させる際には、直前に T i および T i N を堆積させることが好ましい。これは、酸化膜上に下部電極として P t を直ちに堆積させた場合には、密着性が悪く、膜の剥離等の現象を起こすので、それを防ぐために行うものである。その後、絶縁性膜 204 を堆積する。この絶縁性膜 204 としては、還元性雰囲気を使用せずに緻密な膜質を形成可能なものとして、例えば C V D 法あるいはスパッタ法による S i x N y（x、y は原子組成比を表わす任意の整数）または T i O₂ が有効である。

【 0 0 5 3 】続いて、リソグラフィ工程により、絶縁性膜に強誘電体領域をパターニングし、異方性エッチングにより除去する。この際、下部電極 401 は残す。

【 0 0 5 4 】次に、図 1（c）に示すように、強誘電体膜 402 をスパッタにより堆積する。この強誘電体膜 402 としては P Z T や ス ト ロ ン チ ウ ム ビ ス マ ス タ ン タ レ イ ト 酸化物（以下、S B T）などが有効である。

【 0 0 5 5 】この後、図 1（d）に示すように、化学機械研磨（C M P）により強誘電体膜を研磨する。この際、絶縁性膜 204 をマスクとして行うことにより、絶縁性膜のエッチングされた孔にだけ強誘電体膜 402 が残されることになる。

【 0 0 5 6 】次に、図 2（a）に示すように、上部電極 403 を堆積させる。この上部電極 403 としては下部電極 401 と同じ材料を用いる。

【 0 0 5 7 】次いで、上部電極 403 をフォトリソグラフィ工程によりパターニングし、異方性エッチングによりエッチングする。続けて、強誘電体を内部に納めるように絶縁性膜 204 をフォトリソグラフィ工程によりパターニングし、異方性エッチングによりエッチングする。

【 0 0 5 8 】次に、図 2（b）に示すように、下部電極 401 をフォトリソグラフィ工程によりパターニングし、異方性エッチングによりエッチングする。これにより、強誘電体膜 402 が接するのは上下の電極と側壁の絶縁性膜 204 になり、外部からの雰囲気侵襲される部分がなくなる。なお、絶縁性膜 402 のエッチングは、上部電極 403 のエッチングの際にセルフアラインで同時に行うことも可能である。

【 0 0 5 9 】次に、図 2（c）に示すように、第 2 の層間絶縁膜 202 を堆積し、ソース・ドレイン部分と上部電極 403 へのコンタクト用の開口をフォトリソグラフィ工程によりパターニングし、異方性エッチングによりエッチングする。その後、トランジスタのドレインとキャパシタ間の局所配線材（例えば T i / T i N）を堆積す

る。次いで、フォトリソグラフィ工程により局所配線をパターニングし、異方性エッチングによりエッチングする。なお、図 2 (c) では、ドレインへ局所配線 301 をコンタクトさせているが、回路の要求によっては、ソースへのコンタクトも可能である。

【0060】次に、図 2 (d) に示すように、第 3 の層間絶縁膜 203 を堆積し、ソース・ドレイン部分と下部電極 401 へのコンタクトを開口する。さらに、配線材 (例えば A l S i C u) をスパッタ法により堆積し、フォトリソグラフィ工程によりパターニングしてメタル配線を異方性エッチングし、トランジスタへのコンタクトおよび配線層 302 およびキャパシタのコンタクトおよび配線層 303 を形成する。なお、図 2 (d) には示されていないが、セル外の部分ではゲートへのコンタクトも同時に形成する。

【0061】即ち、上記実施例 1 の製造工程によれば、強誘電体膜を電極で挟むキャパシタを形成する際、下部電極膜上に強誘電体膜を堆積する以前に S i x N y または T i O₂ を用いた絶縁性物質を堆積し、この絶縁性物質に強誘電体膜の埋め込みを必要とする行う部分だけをエッチングによって開口しておく。その後、強誘電体膜を堆積して不要な強誘電体を除去すると強誘電体側面に絶縁性膜の壁が形成されることになる。

【0062】つまり、強誘電体の側面が暴露された形にならず、強誘電体を劣化させる水素、水分などの物質が強誘電体の側面から浸透するおそれなくなり、水素、水分などの物質に脆弱な強誘電体膜の特性、特に残留分極量の劣化を防ぐことができる。

【0063】なお、上記実施例 1 では、キャパシタの形成後にトランジスタとキャパシタ間の局所配線を形成する工程を示したが、この工程ではセルの面積の縮小に限界がある。しかし、図 3 に示すように、トランジスタの形成後に、予めトランジスタとキャパシタ間の局所配線を形成する埋め込みコンタクト 304 を形成しておく工程を用いることにより、例えばトランジスタの直上にキャパシタを形成することが可能になり、セル面積の縮小化に有効となる。

【0064】(実施例 2) (図 4 ~ 図 6)

まず、実施例 1 と同様の工程により、図 4 (a) ~ 図 4 (c) に示すように、シリコン基板 101 にトランジスタを形成した後、S i x N y または T i O₂ を用いた絶縁性膜 204 の堆積まで行い、フォトリソグラフィによりパターニングし、エッチングする。

【0065】次に、図 4 (d) に示すように、フォトリソグラフィにより強誘電体膜 402 をパターニングし、エッチングする。このパターニングでは、強誘電体が絶縁性膜 204 の孔の外部にまで出た状態にする。

【0066】次に、図 5 (a) に示すように、下部電極 401 と同じ材料を用いて上部電極 403 を堆積させる。その後、図 5 (b) に示すように、上部電極 403 をフォ

トリソグラフィ工程によりパターニングし、異方性エッチングによりエッチングする。続けて、強誘電体を内部に納めるように絶縁性膜 204 をフォトリソグラフィ工程によりパターニングし、異方性エッチングによりエッチングする。

【0067】さらに、下部電極 401 をフォトリソグラフィ工程によりパターニングし、異方性エッチングによりエッチングする。これにより、強誘電体膜 402 が接するのは上下の電極と側壁の絶縁性膜 204 になり、外部からの雰囲気へ侵される部分がなくなる。なお、絶縁性膜 204 のエッチングは、上部電極 403 のエッチングの際にセルフアラインで同時に行うことも可能である。

【0068】以下、実施例 1 と同様の工程により、図 5 (c) ~ 図 5 (d) に示すように、第 2 の層間膜 202 の堆積から配線の形成までを行う。

【0069】上記実施例 2 の強誘電体メモリセルの形成工程によれば、実施例 1 に示した形成工程とほぼ同様の効果が得られる。また、実施例 1 の変形例 (図 3) と同様に、図 6 に示すように、トランジスタの形成後に、予めトランジスタとキャパシタ間の局所配線を形成する埋め込みコンタクト 304 を形成することにより、セル面積の縮小化に有効となる。

【0070】(実施例 3) (図 7 ~ 図 8)

実施例 3 は、強誘電体キャパシタの直上に S i x N y または T i O₂ を用いた絶縁性膜を堆積することを特徴とするものである。

【0071】まず、図 7 (a) に示すように、[001] の方位を持つ P 型シリコン基板上 101 に酸化膜による素子分離領域 102 を形成する。この際、STI による素子分離構造でも LOCOS 法による素子分離構造でもよく、シリコン基板 101 は素子の特性の要求より N 型を用いることも可能である。

【0072】次に、チャネル部分に閾値調整のためのイオン注入を行った後、ゲート酸化膜 103 を形成し、N 型のポリシリコンを堆積し、さらに、W S i などのシリサイド金属を堆積してゲート材を形成する。素子の特性の要求によっては P 型のポリシリコンを堆積し、あるいはシリサイドの堆積工程を省くことも可能である。

【0073】次いで、フォトリソグラフィ工程によってゲート (ワード線) をパターニングし、異方性エッチングによりゲート 104 を形成する。続いて、ゲートのポリシリコンやシリサイドの表面を酸化させて保護膜 105 を形成するが、必要に応じて堆積工程も行う。その後、ゲート 104 をマスクとして、ソース領域 106 およびドレイン領域 107 として N 型あるいは P 型不純物をシリコン基板 101 にイオン注入し、第 1 の層間絶縁膜 201 を堆積する。

【0074】次に、図 7 (b) に示すように、強誘電体の下部電極 401 を堆積する。この下部電極 401 としては例えば P t や I r が有効であるが、P t を堆積させる際

には、Ti および TiN を直前に堆積させることが好ましい。これは、酸化膜上に下部電極として Pt を直に堆積させた場合、密着性が悪く、膜剥がれなどの現象を起こすので、それを防止するために行う。その後、強誘電体膜 402 をスパッタ法により堆積する。この際、PZT や SBT などが有効である。次に、下部電極 401 と同じ材料を用いて上部電極 403 を堆積させる。

【0075】次いで、図 7 (c) に示すように、上部電極 403 をフォトリソグラフィ工程によりパターンニングし、異方性エッチングによりエッチングする。続けて、強誘電体をフォトリソグラフィ工程によりパターンニングし、異方性エッチングによりエッチングする。さらに、下部電極 401 をフォトリソグラフィ工程によりパターンニングし、異方性エッチングによりエッチングする。なお、強誘電体のエッチングは、上部電極 403 のエッチングの際にセルフアラインにより同時に行うことも可能である。

【0076】次に、図 8 (a) に示すように、第 2 の層間絶縁膜 205 として、シリコン窒化膜（特にスパッタによる Si xNy）または酸化チタン膜（TiO₂）を堆積する。

【0077】この工程によって、これまで例えばプラズマ TEOS によるシリコン酸化膜を堆積していた従来の強誘電体キャパシタでは残留分極量がメモリを作る工程を終了するまでにキャパシタ形成直後の値の 1 割にまで低下していたものが、キャパシタ形成直後の値の 3 割にまで改善できることが実験によって明らかにされている。

【0078】次に、図 8 (b) に示すように、ソース・ドレイン部分と上部電極 403 へのコンタクト用の開口部をフォトリソグラフィ工程によりパターンニングし、異方性エッチングによりエッチングする。その後、トランジスタとキャパシタ間の局所配線材（例えば Ti/TiN）を堆積する。次いで、フォトリソグラフィ工程により局所配線をパターンニングし、異方性エッチングにより局所配線 301 を形成する。

【0079】次に、図 8 (c) に示すように、第 3 の層間絶縁膜 203 を堆積し、ソース・ドレイン部分と下部電極 401 へのコンタクトを開口する。さらに、配線材（例えば AlSiCu）をスパッタにより堆積し、フォトリソグラフィ工程によりパターンニングし、メタル配線を異方性エッチングし、トランジスタへのコンタクトおよび配線層 302 およびキャパシタのコンタクトおよび配線層 303 を形成する。また、図 8 (c) には示されていないが、セル以外の部分ではゲートへのコンタクトも同時に形成する。

【0080】上記実施例 3 の強誘電体メモリセルの形成工程によれば、実施例 1、2 に示した形成工程とほぼ同様の効果が得られるほか、強誘電体キャパシタの上面に Si xNy または TiO₂ を用いた絶縁性膜の壁が形成

されるので、強誘電体を劣化させる水素、水分などの物質が強誘電体の上面から浸透するおそれがなくなり、水素、水分などの物質に脆弱な強誘電体膜の特性、特に残留分極量の劣化を防ぐことができる。

【0081】なお、前記各実施例 1～3 において、強誘電体膜に代えて比誘電率が 50 以上程度の高誘電率誘電体膜、具体的には、チタン酸ストロンチウム（SrTiO₃）、BST（Ba, Sr）TiO₃ 等のペロブスカイト構造あるいは層状ペロブスカイト構造の物質からなる高誘電率誘電体膜を用いる場合にも、本発明は有効である。

【0082】（実施例 4）（図 9～図 13）

まず、図 9 (a) に示すように、例えば P 型 Si 基板 201 上に素子分離酸化膜 203 を 400 nm 程度形成する。その後、イオン注入により素子分離領域（チャネルストップ）202 を形成する。その後、熱酸化によりゲート絶縁膜 205 を 14 nm 程度形成する。

【0083】次に、ゲート配線層 206 となるタングステンシリサイド（WSi）を 200 nm 程度堆積し、その後、ゲート電極保護膜 207 となる Si xNy を 200 nm 程度堆積し、その後、フォトリソグラフィ法および異方性エッチングによりゲート配線層 206 およびゲート配線層保護膜 207 を形成する。この時、ゲート電極保護膜 207 は、前記 Si xNy のような窒化膜系の緻密な膜を材料を用いた方が後工程の熱酸化の影響を受けず、ゲート配線層 206 の配線としての特性を損わない。その後、イオン注入により拡散層 210 を形成する。次いで、熱酸化によりゲート側壁保護酸化膜 208 を形成する。さらに、ゲート側壁保護膜 209 となる Si xNy を 50 nm 程度堆積し、異方性エッチングによりゲート側壁保護膜 209 を形成する。この時、ゲート側壁保護膜 209 は、前記 Si xNy のような窒化膜系の緻密な膜を材料を用いた方が後工程の熱酸化の影響を受けず、ゲート配線層 206 の配線としての特性を損わない。その後、イオン注入により拡散層 204 を形成する。

【0084】次に、図 9 (b) に示すように、層間絶縁膜 211 となる酸化膜を 400 nm 程度堆積する。その後、配線層となる溝をフォトリソグラフィ法および異方性エッチングにより形成する。さらに、層間絶縁膜 211 に拡散層 204 とつながるようにコンタクトホール 212 を開口する。

【0085】次いで、図 9 (c) に示すように、コンタクト配線層および配線層となる配線層 213 として TiN を 20 nm 程度堆積し、続いて、コンタクト配線層および配線層となる配線層 214 としてタングステン（W）を 400 nm 程度堆積する。その後、フォトリソグラフィ法および異方性エッチングにより埋めこみ配線層 213 および埋めこみ配線層 214 を形成する。

【0086】なお、本例では、前記配線層 213 とし

て、後工程での熱酸化によるW配線層214の異常酸化の防止およびコンタクト埋めこみ配線層の密着性向上のためにTiNを使用しているが、後工程での熱酸化によるW配線層214の異常酸化の防止のみに注目した場合は、TiNのかわりに窒化膜（例えばSi₃N₄）、酸化チタン膜等の緻密で酸素を透過しづらい絶縁膜を酸素バリア膜として代用することができる。この場合は、拡散層204と配線層214の電気的接続を図るために異方性エッチングによりコンタクト底部のみ絶縁膜である酸素バリア膜を除去する必要があるが、後述する配線層214上の保護膜と同種材料を用いているので、これらの整合は良好なものとなる。

【0087】次に、図9（d）に示すように、CMPにより層間絶縁膜211が露出するまで研磨し、コンタクトプラグ（配線層）および配線層（例えばビット線BL）を形成する。なお、図9～図13では、ビット線BLはコンタクトホール内の部分のみ実線で示され、図示される断面の後方に位置している絶縁膜211上の部分については図示を省略している。

【0088】その後、図10（a）に示すように、コンタクトプラグや配線層の保護膜215となるSiNを100nm程度堆積する。上記コンタクト・配線層保護膜215は絶縁性、導電性を問わず、後工程の熱酸化時に酸素を透過しづらい緻密な材料であればよく、本例では絶縁性の材料である。

【0089】次に、図10（b）に示すように、コンタクトプラグ・配線層保護膜215をフォトリソグラフィ法および異方性エッチングにより、コンタクトプラグおよび配線層を完全に覆うようにパターニングする。

【0090】このパターニング形状の例を図10（c）に示しており、図中のAA線に沿う断面構造を図10（b）に示している。ここで、215はコンタクトプラグおよびビット線を覆うようにパターニングされた保護膜であり、図10（c）中の点線で示す方形の領域はコンタクトプラグ、207は下層のワード線（WL）である。

【0091】なお、基板上に形成した素子の特性回復のためのシンター工程を後工程で行わないならば、コンタクトプラグ・配線層保護膜215をパターニングしなくともよい。

【0092】次に、図10（c）に示すように、層間絶縁膜216となる酸化膜を300nm程度堆積する。その後、Si基板上に形成した素子の特性を良好にするためにシンタリングを行う。この際、フォーミングガスは、パターニングされたコンタクト・配線層保護膜215の間を抜けて基板界面に到達する。なお、この後にシンタリングを行うことは、強誘電体膜を劣化させてしまうので実施できない。

【0093】続いて、図10（d）に示すように、キャパシタ電極217となるPt膜を200nm程度堆積

し、さらにキャパシタ絶縁膜218となるPZT膜を300nm程度堆積する。その後、良好な強誘電体特性が得られるように酸化雰囲気中で850℃、30分程度熱酸化を行う。この時、コンタクト・配線層保護膜213および215が存在することによって配線層214は異常酸化されずに特性を保つことができる。その後、キャパシタ電極219となるPt膜を200nm程度堆積する。

【0094】次いで、図11（a）に示すように、フォトリソグラフィ法および異方性エッチングによってキャパシタ電極219をパターニングする。その後、図11（b）に示すように、フォトリソグラフィ法および異方性エッチングによってキャパシタ絶縁膜218をパターニングする。さらに、図11（c）に示すように、フォトリソグラフィ法および異方性エッチングによってキャパシタ電極217をパターニングする。

【0095】その後、前記異方性エッチング時に発生したダメージを回復し、良好な強誘電体特性が得られるように、酸化雰囲気中で850℃、30分程度熱酸化を行う。この時、コンタクト・配線層保護膜213および215が存在することによって配線層214は異常酸化されずに特性を保つことができる。次いで、図11（d）に示すように、層間絶縁膜220となる酸化膜を400nm程度堆積する。

【0096】その後、図12（a）に示すように、フォトリソグラフィ法および異方性エッチングにより、層間絶縁膜220および層間絶縁膜216およびコンタクト・配線層保護膜215にコンタクト配線層214の界面の少なくとも中央部が露出するように、コンタクトホール221を開口する。これにより、保護膜215はコンタクト配線層214の上面の少なくとも一部（周辺部）を覆う状態になる。

【0097】一方、図12（b）に示すように、フォトリソグラフィ法により、キャパシタ電極219のコンタクト部の直上にコンタクトホール222を開口する。その後、図12（c）に示すように、配線層223となるTiNを20nm程度堆積し、さらに、配線層224となるAlを300nm程度堆積する。これによって、コンタクトホール221は完全に導電性材料で埋めこまれたコンタクト配線層になる。その後、図12（d）に示すように、フォトリソグラフィ法および異方性エッチングにより配線層223および配線層224をパターニングする。

【0098】その後、図13（a）に示すように、層間絶縁膜226となる酸化膜を400nm程度堆積する。さらに、図13（b）に示すように、最終保護膜227となるSi₃N₄を150nm程度堆積する。その後、フォトリソグラフィ法および異方性エッチングによりパッド部を開口する。

【0099】（実施例5）（図14～図18）

まず、図 14 (a) に示すように、例えば P 型 Si 基板 201 上に素子分離酸化膜 203 を 400 nm 程度形成する。その後、イオン注入により素子分離領域（チャネルストッパ）202 を形成する。次いで、熱酸化により、ゲート絶縁膜 205 を 14 nm 程度形成する。その後、ゲート配線層 206 となる WSi を 200 nm 程度堆積し、さらに、ゲート電極保護膜 207 となる Si x Ny を 200 nm 程度堆積する。

【0100】次に、フォトリソグラフィ法および異方性エッチングにより、ゲート配線層 206 およびゲート配線層保護膜 207 を形成する。この時、ゲート電極保護膜 207 は、前記 Si x Ny のような窒化膜系の緻密な膜を材料を用いた方が後工程の熱酸化の影響を受けず、ゲート配線層 206 の配線としての特性を損なわない。

【0101】その後、イオン注入により拡散層 210 を形成する。次いで、熱酸化により、ゲート側壁保護酸化膜 208 を形成する。さらに、ゲート側壁保護膜 209 となる Si x Ny を 50 nm 程度堆積し、異方性エッチングによりゲート側壁保護膜 209 を形成する。この時、ゲート側壁保護膜 209 は、前記 Si x Ny のような窒化膜系の緻密な膜を材料とした方が後工程の熱酸化の影響を受けず、ゲート配線層 206 の配線としての特性を損なわない。

【0102】次に、イオン注入により拡散層 204 を形成する。その後、図 14 (b) に示すように、層間絶縁膜 211 となる酸化膜を 400 nm 程度堆積する。続いて、フォトリソグラフィ法および異方性エッチングにより配線層となる溝を形成する。さらに、層間絶縁膜 211 に拡散層 204 とつながるようにコンタクトホール 212 を開口する。

【0103】次いで、図 14 (c) に示すように、コンタクト配線層および配線層となる配線層 213 として TiN を 20 nm 程度堆積し、続いて、コンタクト配線層および配線層となる配線層 214 として W を 400 nm 程度堆積する。その後、フォトリソグラフィ法および異方性エッチングにより埋め込み配線層 213 および埋め込み配線層 214 を形成する。

【0104】この時、配線層 213 は、後工程での熱酸化による W 配線層 214 の異常酸化の防止およびコンタクト埋め込み配線層の密着性の向上を図るために TiN を使用しているが、後工程での熱酸化による W 配線層 214 の異常酸化の防止のみに注目した場合には、TiN の代わりに窒化膜（例えば Si x Ny）、酸化チタン膜（TiO₂）等の緻密で酸素を透過しづらい絶縁膜を酸素バリア膜として代用することができる。この場合は、拡散層 204 および配線層 214 の電氣的接続を図るために、異方性エッチングによりコンタクト底部のみ絶縁膜である酸素バリア膜を除去する必要があるが、後述する配線層 214 上の保護膜と同種材料を用いているので、これらの整合は良好なものとなる。

【0105】次に、図 14 (d) に示すように、CMP 法により層間絶縁膜 211 が露出するまで研磨し、コンタクト配線層および配線層を形成する。

【0106】その後、図 15 (a) に示すように、コンタクト配線層および配線層の保護膜となる Si x Ny を 100 nm 程度堆積する。上記コンタクト配線層・配線層保護膜 215 は絶縁性、導電性を問わず後工程の熱酸化時の酸素を透過しづらい緻密な材料でよい。

【0107】さらに、図 15 (b) に示すように、フォトリソグラフィ法および異方性エッチングにより、コンタクト配線層および配線層を完全に覆うようにコンタクト配線層・配線層保護膜 215 をパターニングする。

【0108】このパターニング形状の例を図 15 (c) に示しており、図中の AA 線に沿う断面構造を図 15 (b) に示している。ここで、215 はコンタクトプラグおよびビット線を覆うようにパターニングされた保護膜であり、点線で示す方形の領域はコンタクトプラグ、領域 207 は下層のワード線 (WL) である。

【0109】次に、図 15 (c) に示すように、層間絶縁膜 216 となる酸化膜を 300 nm 程度堆積する。その後、図 15 (d) に示すように、キャパシタ電極 217 となる Pt 膜を 200 nm 程度堆積し、さらに、キャパシタ絶縁膜 218 となる PZT 膜を 300 nm 程度堆積する。

【0110】その後、良好な強誘電体特性を得るために、酸化雰囲気中で 850℃、30 分程度熱酸化を行う。この時、コンタクト配線層・配線層保護膜 213 および 215 が存在することによって、配線層 214 は異常酸化されずに特性を保つことができる。その後、キャパシタ電極 219 となる Pt 膜を 200 nm 程度堆積する。

【0111】次いで、図 16 (a) に示すように、フォトリソグラフィ法および異方性エッチングによりキャパシタ電極 219 をパターニングする。その後、図 16 (b) に示すように、フォトリソグラフィ法および異方性エッチングによりキャパシタ絶縁膜 218 をパターニングする。

【0112】続いて、図 16 (c) に示すように、フォトリソグラフィ法および異方性エッチングによりキャパシタ電極 217 をパターニングする。その後、異方性エッチングのダメージを回復し、良好な強誘電体特性が得られるように酸化雰囲気中で 850℃、30 分程度熱酸化を行う。この時、コンタクト配線層・配線層保護膜 213 および 215 があることによって配線層 214 は異常酸化されずに特性を保つことができる。

【0113】その後、スパッタ法により、キャパシタ保護膜 225 として Si x Ny を 100 nm 程度堆積する。この理由は、シンタリングを後の工程で行う際に PZT 膜が還元されないように保護するためであり、実施例 3 に示した TiO₂ も同様に用いることができる。な

お、スパッタ法以外の成膜方法で Si x Ny を堆積すると、膜形成時のガスに水素が多分に含まれていて P Z T を還元してしまう恐れがある。

【0114】次に、図16(d)に示すように、フォトリソグラフィ法および異方性エッチングにより、キャパシタ部以外の余分な Si x Ny をエッチングして除去する。その後、層間絶縁膜220となる酸化膜を400nm程度堆積する。

【0115】続いて、図17(a)に示すように、層間絶縁膜220および層間絶縁膜216およびコンタクト配線層・配線層保護膜215に、コンタクト配線層214の界面が露出するようにコンタクトホール221をフォトリソグラフィ法および異方性エッチングにより開口する。

【0116】一方、図17(b)に示すように、キャパシタ電極219のコンタクト部の直上にコンタクトホール222をフォトリソグラフィ法により開口する。

【0117】その後、図17(c)に示すように、配線層223となる Ti N を20nm程度堆積し、さらに、配線層224となる Al を300nm程度堆積する。これによって、コンタクトホール221は完全に導電性材料で埋めこまれたコンタクト配線層になる。

【0118】次いで、図17(d)に示すように、フォトリソグラフィ法および異方性エッチングにより配線層223および配線層224をパターニングする。その後、 Si 基板上に形成した素子の特性を良好にするためにシンタリングを行う。この際、フォーミングガスは、パターニングされたコンタクト配線層・配線層保護膜215の間を抜けて、基板界面に到達する。

【0119】次に、図18(a)に示すように、層間絶縁膜226となる酸化膜を400nm程度堆積する。さらに、図18(b)に示すように、スパッタリングにより、最終保護膜227となる Si x Ny を150nm程度堆積する。この Si x Ny を堆積する際のガスが P Z T 膜を還元してしまう恐れがあるので、 Si x Ny はスパッタリングにより成膜することが望ましい。その後、フォトリソグラフィ法および異方性エッチングによりパッド部(図示せず)を開口する。

【0120】なお、上記実施例4または実施例5において、強誘電体膜に代えて比誘電率が50以上程度の高誘電率誘電体膜、具体的には、チタン酸ストロンチウム(SrTiO_3)、BST($(\text{Ba}, \text{Sr})\text{TiO}_3$)等のペロブスカイト構造あるいは層状ペロブスカイト構造の物質からなる高誘電率誘電体膜を用いる場合にも、本発明は有効である。

【0121】即ち、前記実施例4または実施例5によれば、構造あるいは製造工程またはそれらの部分的な変更に応じて次に述べるような効果が得られる。

【0122】(1)コンタクト側壁を窒化化合物系または TiO_2 の膜で覆うことによって、側壁からのコンタ

クトへの酸素の侵入を防ぎコンタクト抵抗が上昇したり、コンタクト配線が異常酸化されてデバイスにクラックが入ることを防ぐことができる。

【0123】(2)コンタクト上面および配線層を窒化化合物系または TiO_2 の膜で覆うことによって、上方向からのコンタクトおよび配線層への酸素の侵入を防ぎコンタクト抵抗や配線抵抗が上昇したり、コンタクト配線および配線層が異常酸化されてデバイスにクラックが入ることを防ぐことができる。

10 【0124】(3)コンタクト窓が開口される層間絶縁膜の上面をCMP法により平坦化し、さらに、コンタクト上面および配線層を窒化化合物系または TiO_2 の膜で覆うことによって、コンタクト窓が開口される層間絶縁膜と窒化化合物系の膜の密着性が向上し、上方向からのコンタクトおよび配線層への酸素の侵入を防ぎコンタクト抵抗や配線抵抗が上昇したり、コンタクト配線および配線層が異常酸化されてデバイスにクラックが入ることを防ぐことができる。

20 【0125】(4)コンタクト上面および配線層を窒化化合物系または TiO_2 の膜で覆い、その窒化化合物系または TiO_2 の膜をコンタクト上面および配線層の上面と側壁を覆うように残してパターニングすることによって、上方向からのコンタクトおよび配線層への酸素の侵入を防ぎコンタクト抵抗や配線抵抗が上昇したり、コンタクト配線および配線層が異常酸化されてデバイスにクラックが入ることを防ぐことができる。さらに、窒化化合物系または TiO_2 の配線保護膜に、後工程での熱による膜の変形に基づく応力に起因したクラックを入りづらくすることができる。また、後のシンター工程でのフォーミングガスがパターニングされた配線保護膜の間を通り基板に到達し、十分な効果を発揮できる。

【0126】(5)コンタクト上面およびコンタクト側壁と配線層側壁および配線層上面を窒化化合物系または TiO_2 の膜で覆うことによって、上方向および横方向からのコンタクトおよび配線層への酸素の侵入を防ぎ、高温かつ長時間の熱酸化によるコンタクト抵抗や配線抵抗の上昇や、コンタクト配線および配線層が異常酸化されてデバイスにクラックが入ることを防ぐことができる。

40 【0127】(6)コンタクト上面および配線層を窒化化合物系または TiO_2 の膜で覆い、その後、高・強誘電体膜を成膜し、その後に多層配線とのコンタクト接続を行うことによって、高・強誘電体膜成膜時の熱酸化工程の酸素による上方向からのコンタクトおよび配線層への酸素の侵入を防ぎコンタクト抵抗や配線抵抗が上昇したり、コンタクト配線および配線層が異常酸化されてデバイスにクラックが入ることを防ぐことができる。さらに、多層配線とのコンタクト接続が容易になる。

50 【0128】(7)コンタクト上面および配線層を窒化化合物系または TiO_2 の膜で覆い配線保護膜を形成

し、さらにその配線保護膜をパターニングし、その後、高・強誘電体膜を成膜し、その後に多層配線とのコンタクト接続を行うことによって、高・強誘電体膜成膜時の熱酸化工程の酸素による上方向からのコンタクトおよび配線層への酸素の侵入を防ぎコンタクト抵抗や配線抵抗が上昇したり、コンタクト配線および配線層が異常酸化されてデバイスにクラックが入ることを防ぐことができる。また、高・強誘電体膜形成直前のシンター工程でのフォーミングガスがパターニングされた配線保護膜の間を通り基板に到達し、シンターの効果を十分に発揮できる。

【0129】(8) 高・強誘電体キャパシタを形成後に、高・強誘電体キャパシタを窒化膜系または TiO_2 を用いた配線層保護膜で覆うことによって、後のシンター工程でのフォーミングガスがパターニングされた配線保護膜の間を通り基板に到達し十分に効果が発揮でき、かつ、高・強誘電体キャパシタを還元性雰囲気中にさらすことがないので、キャパシタ特性を劣化させることなくシンターが可能になる。

【0130】上述した実施例4、実施例5の効果を要約すると、

(1) 強・高誘電体膜を形成する以前に、高融点金属を用いた配線層を高抵抗にならずに形成することができる。

【0131】(2) 高アスペクト比のコンタクトを形成するに当って、強・高誘電体膜の形成前に基板からコンタクトを引き出すことができる。

【0132】(3) 現状では、積み上げ式のセル構造にならざるを得ない強・高誘電体膜を用いた半導体記憶装置での配線加工が容易になる。

【0133】(4) 窒化膜系または TiO_2 の緻密な膜をコンタクトおよび配線層および高・強誘電体膜の保護材料として使うことにより、酸素やその他の汚染が配線層から伝わり、基板上やその周辺の素子に与える影響から保護できる。

【0134】(5) 窒化膜系または TiO_2 の配線層保護膜をパターニングすることで強・高誘電体膜の形成寸前でシンターができ、半導体基板上の素子特性を良好に保つことができる。

【0135】(6) 強・高誘電体キャパシタを窒化膜系または TiO_2 の配線層保護膜で覆うことにより、強・高誘電体キャパシタの形成後にシンターが可能になり、半導体基板上の素子特性を良好に保つことができる。

【0136】(実施例6) (図19～図22)

実施例6では、実施例4または実施例5とほぼ同様であるが、強誘電体セルのレイの一例を詳細に説明する。

【0137】図19は、電荷転送用の1個のMOSトランジスタ(パストランジスタ)と情報記憶用の1個の強誘電体キャパシタとが直列接続された構成を単位セルとし、単位セルが行列状に配列されてメモリセルレイを

構成してなるFRAMのセルレイの一部の断面構造を示す。

【0138】図20～図22は、上記FRAMのセルレイの製造工程順に平面パターンの一部の一例を概略的に示すものであり、図22中のAA線に沿う断面構造を図19に示す。なお、説明の簡単化のため、各ワード線をWL、各ビット線をBL、各プレート線をPLで表示する。

【0139】図19～図22において、シリコン基板201の表層部に、複数の素子領域(活性化領域)SDGがそれぞれワード線WL形成方向に直交する方向(ビット線BL形成方向に平行な方向)にほぼ直線状に形成されるとともに平面的にみて行列状の配置で形成されており、各素子領域SDG間には素子間分離領域用の酸化膜202が形成されている。

【0140】ここで、各列の素子領域SDGは、1列毎に素子領域SDGの1つ分の長さ(1ピッチ)ずつ位置が偏移しており、各素子領域SDGは全体として市松状の配置(正格子に対してジグザグ状の配置)で形成されている。

【0141】上記各素子領域SDGは、中央部から一端側の領域に第1のMOSトランジスタを構成する第1のドレイン・チャネル・ソース領域が直線状に形成されており、上記中央部から他端側の領域に第2のMOSトランジスタを構成する第2のドレイン・チャネル・ソース領域が直線状に形成されており、上記中央部は上記第1、第2のMOSトランジスタに共通のドレイン領域Dとなっている。

【0142】上記MOSトランジスタのチャネル領域上にゲート酸化膜205を介してゲート電極部Gが形成され、同一行の複数のMOSトランジスタのゲート電極部Gは連続的に連なってワード線WLとして形成され、ワード線WL群は互いに平行に形成されている。

【0143】この場合、各ワード線WL(ゲート電極部G、206)は、例えばPドーブ・ポリシリコンおよびWSiの2層構造になっており、表面絶縁膜207および側壁絶縁膜により保護されている。

【0144】さらに、上記表面絶縁膜207、側壁絶縁膜上に平坦化用の層間絶縁膜211が形成されており、この層間絶縁膜211上にワード線WL群の形成方向とそれぞれ直交する方向にビット線BL群が形成されている。

【0145】この場合、層間絶縁膜211には、素子領域SDGの各中央部の第2導電型(本例ではn型)の不純物拡散領域(ドレイン領域)D上に対応してコンタクトホールが開口されており、前記層間絶縁膜211上で上記コンタクトホールから少しずれた位置にバリアメタル膜213および導電膜214からなるビット線BLが形成されており、各ビット線BLは上記コンタクトホール内でそれぞれ同一列の複数の素子領域SDGの各ドレイン領域Dにコンタクトしている。

【0146】また、層間絶縁膜211には、素子領域SDGの各一端部の第2導電型（本例ではn型）の不純物拡散領域（ソース領域）S上に対応してコンタクトホールが開口されており、前記層間絶縁膜211の上記コンタクトホール内にバリア金属膜213および導電膜214からなるキャパシタコンタクトプラグが形成されている。

【0147】そして、前記ビット線BLの上面および前記キャパシタコンタクトプラグの上面の一部には、窒化シリコン膜（または酸化チタン膜）215が形成されている。さらに、窒化シリコン膜（または酸化チタン膜）215を含む基板には平坦化用の層間絶縁膜216が形成されており、層間絶縁膜216上には単位セル毎にスタック構造の強誘電体キャパシタ（下部電極217、強誘電体絶縁膜218、上部電極219）が形成されている。さらに、その上にキャパシタ保護絶縁膜225として窒化シリコン膜（または酸化チタン膜）225が形成され、その上に層間絶縁膜220が形成されてパッシベーション膜227が形成されている。

【0148】この場合、同一行の複数の強誘電体キャパシタの各下部電極217は、対応するMOSトランジスタを含むSDG領域の中央部あるいは隣接する素子間分離酸化膜202の上方を覆うように、かつ、前記ワード線WL群の形成方向と平行な方向に（つまり、ビット線BLに直交する方向に）連続的に形成され、キャパシタプレート線PLとなっている。

【0149】また、単位セル毎の強誘電体キャパシタの上部電極219は、対応する下部電極217領域上に強誘電体絶縁膜218を介して例えば方形に形成されている。

【0150】そして、強誘電体キャパシタの上部電極219は、対応するMOSトランジスタの一端部の第2導電型（本例ではn型）の不純物拡散領域（ソース領域）Sにコンタクトしているキャパシタコンタクトプラグに局所接続用の電極配線224を介して接続されている。

【0151】（実施例7）（図23～図25）

図23および図24は、他のFRAMにおけるFRAMセルおよび素子の製造工程順における断面構造の一部を概略的に示している。

【0152】実施例7の製造工程は、二層配線構造における第2層配線（ビット線あるいは他の配線）の接続を行うためのピアホールを埋めるために、Al、AlCu、AlCuSi、WSi、Cuの少なくとも一つの材料（本例ではアルミニウム）がリフローされている点特徴的である。

【0153】図25は、上記FRAMセルのレイの一部の平面パターンの一例を概略的に示している。

【0154】図23および図24において、半導体基板1上にはメモリセルのスイッチ用MOSトランジスタ31およびメモリセル以外の混載デバイス用の他のMOSトランジスタ32が形成されている。

【0155】前記各トランジスタ上を覆い、表面が平坦

化された（つまり、下地段差を平坦化した）第1の絶縁層10内には、前記スイッチ用トランジスタ31のドレイン領域D、ソース領域Sに接続されたビット線コンタクトプラグ33およびキャパシタコンタクトプラグ34、混載デバイス用の他のMOSトランジスタ32のゲートに接続されたコンタクトプラグ35が埋め込み形成されている。さらに、前記第1の絶縁層10上に第1のSixNy膜（またはTiO₂膜）51が形成されている。

【0156】そして、前記第1のSixNy膜（またはTiO₂膜）51上に順に下部電極17、強誘電体膜18および上部電極19が形成されており、それらを含む基板上を覆うように第2のSixNy膜（またはTiO₂膜）52が形成されており、さらに、その上に第2の絶縁層13が形成されている。

【0157】また、前記第2の絶縁層13および第2のSixNy膜（またはTiO₂膜）52/第1のSixNy膜（またはTiO₂膜）51には、前記ビット線コンタクトプラグ33、キャパシタコンタクトプラグ34、混載デバイス用のコンタクトプラグ35の上方に対応して選択的にホールが形成されており、前記第2の絶縁層13および第2のSixNy膜（またはTiO₂膜）52には、上部電極19の上方に対応して選択的にホールが形成されている。

【0158】そして、上記ホール部を介して前記ビット線コンタクトプラグ33に接続されたビット線埋め込みプラグ接続配線（ビット線接続用コンタクトパターン）36、キャパシタコンタクトプラグ34および上部電極19に接続された上部電極取り出し配線（キャパシタ電極配線）22、混載デバイス用のコンタクトプラグ35に接続された第1層配線37が形成されている。

【0159】なお、前記上部電極取り出し配線22およびビット線埋め込みプラグ接続配線36は、Al、AlCuSi、AlCu、W金属、TiN金属、Ti金属の少なくとも一つの材料を有するものであり、前記第1層配線37と同一配線層で形成されている。また、上部電極取り出し配線22、ビット線埋め込みプラグ接続配線36および第1層配線37の上面側には、選択的にW金属、TiN金属、Ti金属のいずれかからなる金属層11'が形成されており、これらは前記強誘電体膜18にダメージを与えない高周波マグネトロンスパッタ法あるいはMOCVD法によって形成され得る。

【0160】前記各配線を含む基板上を覆い、表面が平坦化された第3の絶縁層30には、前記ビット線埋め込みプラグ接続配線36および第1層配線37の上方に対応して選択的にピアホールが形成されている。そして、上記ピアホール内を埋めるようにAl、AlCu、AlCuSi、WSi、Cuの少なくとも一つの材料（本例ではアルミニウム）がリフローされてなり、前記

ビアホール部を介して前記ビット線埋め込みプラグ接続配線 36 に接続されたビット線 B1 および前記ビアホール部を介して前記第 1 層配線 37 に接続された第 2 層配線 38 が形成されている。さらに、パッシベーション膜 39 が形成され、パッド部にホールが開口されている。

【0161】上記したようなペロブスカイトないしは層状ペロブスカイト構造の物質からなる強誘電体膜を用いた情報記憶用のキャパシタとスイッチ用トランジスタとを有するメモリセルおよび少なくとも二層以上の多層配線構造を有する強誘電体メモリの製造に際しては、ビット線形成工程で前記多層配線構造におけるビアホールを埋めるために Al、AlCu、AlCuSi、WSi、Cu の少なくとも一つの材料（本例ではアルミニウム）をリフローする工程を用いる。

【0162】この際、Al リフローに際して、下地配線が Al 系の場合には、スパッタ堆積時の温度により Al 系配線の溶融、ボイドの発生が生ずるおそれがある。このため、ビアホールと直接接触する下地としては、W メタル、TiN メタル、Ti メタル層のいずれかを高周波マグネトロンスパッタあるいは MOCVD 法により堆積して、多層配線のビア部となる領域の直下に選択的に上記メタル層 11 を形成し、溶融ボイド防止膜として用いる。

【0163】次に、図 23 乃至図 25 に示す断面図および平面パターンを参照しながら工程順に詳細に説明する。

【0164】まず、図 23 に示すように、通常の CMOS 型 DRAM セルの形成工程と同様な工程により、シリコン基板 1 上にメモリセルトランジスタ 31 および他のデバイス用のトランジスタ 32 を形成する。

【0165】ここで、2 は基板表層部に選択的に形成された素子分離領域、D、S は基板表層部の素子形成領域に選択的に形成された基板とは逆導電型の不純物拡散層からなるドレイン・ソース領域、3 は基板表面に形成された MOS トランジスタ用のゲート酸化膜、G はゲート酸化膜 3 上に形成された MOS トランジスタ用のゲート電極部（ワード線 WL の一部）であり、ゲート電極部は例えばポリシリコン層 4 および WSi 層 5 の 2 層構造となっている。

【0166】なお、素子分離領域 2 は、LOCOS 膜（選択酸化膜）、STI（Shallow Trench Isolation）など、任意の構造を採用してよい。

【0167】次に、ゲート電極部 G 上を含む基板上に平坦化用の第 1 の層間絶縁膜（例えば BPSG 膜）10 を堆積した後、CMP により表面を平坦化する。

【0168】次に、第 1 の層間絶縁膜 10 に選択的にコンタクトホールを形成する。具体的には、ドレイン領域 D 上に対応する部分にビット線コンタクトホール、ソース領域 S 上に対応する部分にキャパシタプラグ用のコンタクトホールおよびその他の配線用のコンタクトホール

を形成する。

【0169】さらに、スパッタ法を用いてバリアメタル膜（Ti、TiN）11 を前記コンタクトホールの内部および第 1 の層間絶縁膜 10 上に蒸着した後、CVD 法を用いて W 膜を堆積し、前記コンタクトホールの内部にコンタクトプラグ 33、34、35 を形成する。

【0170】次に、エッチバックあるいは CMP を行い、第 1 の層間絶縁膜 10 の表面を露出させる。この後、スパッタ法により第 1 の層間絶縁膜 10 上の全面に第 1 の Si x Ny 膜（または TiO₂ 膜）51 を堆積させる。

【0171】次に、図 24 に示すように、前記各コンタクトプラグ 33、34、35 を含む第 1 の層間絶縁膜 10 上に、キャパシタ下部電極 17（キャパシタプレート線 PL）用の導電膜として、Pt/Ti/TiN をスパッタ蒸着する。さらに、キャパシタ絶縁膜用の強誘電体膜 18 として PZT 膜を形成する。さらに、キャパシタ上部電極 19 として Pt を形成する。そして、RIE を用いて、前記キャパシタ上部電極 19、強誘電体膜 18 および下部電極 17 の順にパターニング加工を行って強誘電体キャパシタを形成する。この際、強誘電体膜 18 にダメージが入った場合は、～500℃の酸素雰囲気での熱処理により回復させることができる。

【0172】この後、スパッタ法により全面に第 2 の Si x Ny 膜（または TiO₂ 膜）52 を 100 nm 程度堆積させる。

【0173】次に、プラズマ CVD により第 2 の Si x Ny 膜（または TiO₂ 膜）52 上に第 2 の層間絶縁膜 13 を堆積し、化学ドライエッチング（CDE）および RIE を用いて第 2 の層間絶縁膜 13 および下層の第 2 の Si x Ny 膜（または TiO₂ 膜）52 または第 2 の Si x Ny 膜（または TiO₂ 膜）52/第 1 の Si x Ny 膜（または TiO₂ 膜）51 に前記各コンタクトプラグ 33、34、35 および上部電極 19 との接続用のコンタクトホールを選択的に形成する。

【0174】そして、スパッタ法を用いて Al、W を順に堆積し、キャパシタコンタクトプラグ 34 とキャパシタ上部電極 19 との接続を行うためのキャパシタ電極配線 22 を形成すると同時に、ビット線接続用コンタクトパターン 36 およびメモリセル以外の混載デバイス用の第 1 層配線 37 を形成する。なお、上記 Al 膜上に堆積した W 膜は、後工程のビア埋め込みの際のコンタクト表面の酸化を抑制するために用いられる。

【0175】さらに、第 3 の層間絶縁膜 30 を形成し、その表面を CMP により平坦化した後、前記ビット線接続用コンタクトパターン 36 との接続を行うためのビアホールおよびメモリセル以外の混載デバイスの第 1 層配線 37 との接続を行うためのビアホールを形成し、Ar 雰囲気で基板温度 400～470℃とした高周波マグネトロンスパッタ法（Al を高温で溶解し泳動的にビアホ

ールを埋め込むA 1リフロー法)により前記ビアホール内を埋め込むように第2配線層を堆積した後、第2配線層をパターニングしてビット線BLおよび混載デバイス用の第2層配線38を形成する。

【0176】これにより、ビット線BLは、ビアホール部・ビット線接続用コンタクトパターン36およびビット線コンタクトプラグ33を介してメモリセルのスイッチ用MOSトランジスタ31のドレイン領域Dに接続されることになり、混載デバイス用の第2層配線38は第1層配線37およびコンタクトプラグ35を介してメモリセル以外の混載デバイス用MOSトランジスタ32に接続される。

【0177】なお、第2層配線38は、A 1リフローで堆積された膜をそのまま用いてパターニングしてもよいが、ビア部以外のA 1系金属を金属CMPにて研磨、除去、平坦化し、再び第2層配線38となる金属を堆積し、パターニングしてもよい。

【0178】この後、二層配線構造の半導体集積回路の場合は、トップパッシベーション絶縁膜39を堆積し、パッド部を開口する。三層、四層配線以上の配線構造の半導体集積回路の場合は、前記したような層間絶縁膜30を形成した後A 1リフロー法による配線層を堆積し、パターニングを行う工程を必要回数繰り返す、この後にトップパッシベーション絶縁膜39を堆積し、パッド部を開口する。

【0179】なお、本実施の形態においては、前記第1層配線37を形成した際の第1配線層の一部をパッド部として用いてもよい。

【0180】さらに、図24には、第3の層間絶縁膜30におけるビット線コンタクトプラグ33の上方に対応して選択的にホールを開口し、ビット線をビット線接続用コンタクトパターン36とコンタクトさせた場合を示したが、ビット線接続用コンタクトパターン36を第1の絶縁層10上で適宜引き回すことにより、これとは異なる位置でビット線をコンタクトさせることも可能である。従って、プロセスマージンを増大させることができ、特にセルアレイの設計の自由度を向上させる上で有利である。

【0181】図23および図24に示したように強誘電体キャパシタの上層側にビット線BLを配置した構造とし、ビット線BLを第2配線層で形成した場合には、メモリセル部の設計の自由度が大幅に増大し、これによりセル面積の縮小化が可能になり、ビット線幅の制限が少なくなる。

【0182】ここで、図25に示した平面パターンを参照して説明する。

【0183】図25に示した構造は、ビット線BLがワード線WLの上方でワード線WLに直交する方向に一定幅で形成されており、ビット線BLの配置、幅、コンタクト部などが図19～22に示したFOB (Ferroelect

ric Capacitor on Bitline) 構造の平面パターンと異なり、その他は同じである。

【0184】即ち、図25において、41はビット線BLがその下層部のビット線接続用コンタクトパターン(図24中の36)に接続されているコンタクト部、42は単位セル毎に形成されたスタック構造のキャパシタの上部電極(図24中の19)およびキャパシタコンタクトプラグ(図24中の34)に対して、ワード線WLとビット線BLとの間の中間層に形成された局所接続用の電極配線(図24中の22)が接続されているコンタクト部である。PLはキャパシタの下部電極(図24中の17)が連続するように形成されたキャパシタプレート線である。

【0185】つまり、図23および図24に示したような強誘電体キャパシタの上層側にビット線を配置した構造を採用すれば、図25に示すようにセルアレイを形成することが可能になり、前記FCOB構造に比べてビット線BLの幅を広くとることができ、ビット線抵抗を低くできるので、メモリ動作上、極めて有利となる。

【0186】従って、FRAMメモリと他のLSIを混載する場合には、ビット線BLを強誘電体キャパシタより下方または第1層に配線するFCOB構造よりも第2配線層以降に形成する方が有利である。

【0187】また、実施例7のFRAMセルの製造工程によれば、上記したようにスパッタ法により形成されたSixNy膜(またはTiO₂膜)51、52は、水素基を含まず、また、水素基を通し難い。即ち、この後の工程で、仮に水素基が強誘電体キャパシタ付近まで到達したとしても直接には強誘電体キャパシタには到達しないので、強誘電体特性(分極量)の劣化を最小限に抑制することができる。

【0188】しかも、強誘電体キャパシタの形成に当たって、強誘電体膜18を成膜あるいはアニールする際の酸素雰囲気下では、コンタクトプラグ33、34、35の上面がいずれもSixNy膜(またはTiO₂膜)51で覆われているので、コンタクト配線における熱酸化による抵抗上昇や異常酸化を有効に防止し得る。

【0189】なお、従来のコンタクト配線技術では、接続する配線層と配線層との高さが大きく、かつ、狭い間口のコンタクトを必要とされる半導体装置では、アスペクト比が2程度のコンタクト配線層を供給することしかできず、多層化を実現する上でしばしば障害となることがあった。

【0190】また、幾つかのコンタクト配線層を積み重ねて高アスペクトのコンタクト配線層に匹敵する配線層を形成しようとする、コンタクト配線層同士のつなぎ部分の合せずれが懸念され、つなぎのためだけの配線層を形成するなど、デバイス縮小および工程簡略の上で不利になることが多かった。

【0191】このような問題点を解決するために、テー

バーをつけたコンタクトホール形成技術として様々なものが提案されている。例えば特開平 6 - 2 1 2 3 8 号公報には、テーパのないコンタクトとテーパのあるコンタクトを導通させ、さらに配線層とテーパのないコンタクトを用いて導通させる手法が開示されている。

【0192】しかし、上記手法は、複雑な工程を経るので、パターン合せずれが発生し、コンタクト抵抗が上がり、良好なコンタクト配線層として機能しなくなる恐れがある。さらに、アスペクト比が 3 ~ 4 程度までのコンタクト配線は実現できるが、今後、ますます微細化が進む中でアスペクト比が 4 以上に高くなればなるほど工程が複雑化し、埋め込みコンタクト配線層を実現するのは複雑かつ困難である。

【0193】これに対して、以下の実施例 8、実施例 9 に述べるように、多段に積み上げるコンタクトホールの形状をコンタクト底部より開口部の方が広い形状、あるいは下段コンタクトより上段コンタクトの方が径の大きい形状にし、これを多段に積み上げることにより導通した 1 つのコンタクト配線層を形成すると、現在の技術レベルで形成できる高アスペクト比のコンタクト配線層よりも遥かにアスペクト比の高いコンタクトに匹敵するコンタクト配線層を安定して提供することが可能になり、特に高融点金属を用いたコンタクト配線層を実現する際に有効である。

(実施例 8) (図 2 6 ~ 図 2 8)

例えば、図 2 6 (a) に示すように、P タイプの Si 基板 5 0 1 上に、素子分離反転防止領域 (チャネルストップ) 5 0 2 として例えばボロンを加速エネルギー 3 0 K e v、密度 (ドーズ量) 1×10^{11} 程度でイオン注入して形成する。その後、例えば熱酸化工程により素子分離領域 5 0 3 を形成する。次いで、薄い拡散層領域 5 1 0 として例えばリンを加速エネルギー 3 0 K e v、密度 1×10^{11} 程度でイオン注入して形成した後、トランジスタのゲート酸化膜 1 0 5 を例えば 1 2 n m 程度の膜厚で形成する。

【0194】次に、トランジスタのゲート電極 5 0 6 として例えばタングステンシリサイドを 2 0 0 n m 程度の膜厚で形成し、ゲート電極保護材 5 0 7 として例えばシリコンナイトライドを 5 0 n m 程度の膜厚で形成した後、濃度が高い拡散層領域 5 0 4 を例えば加速エネルギー 3 0 k e v、密度 1×10^{11} 程度でイオン注入して形成する。

【0195】その後、図 2 6 (b) に示すように、層間絶縁膜 5 0 8 を例えば 1 0 0 0 n m 堆積した後、CMP 法により層間絶縁膜 1 0 8 の表面が平坦かつその膜厚が 5 0 0 n m 程度になるように研磨した後、層間絶縁膜 5 0 8 に第 1 のコンタクトホール 5 0 9 を底部より開口部の方が広いテーパがつくように、例えば酸素添加条件の異方性エッチングにより開口する。この時、コンタクトの径は、開口部が 8 0 0 n m、コンタクト底部が 6 0

0 n m である。

【0196】続いて、図 2 6 (c) に示すように、配線層 5 1 1 として例えばチタンナイトライドを 2 0 n m 程度堆積後、配線層 5 1 2 として例えばタングステンを 3 0 0 n m 程度堆積し、配線層 5 1 1 および配線層 5 1 2 を同時に異方性エッチングにより所望の配線形状に加工する。

【0197】その後、層間絶縁膜 5 1 3 として例えば B P S G を 2 0 0 n m、層間絶縁膜 5 1 4 として例えばプラズマ T E O S を 1 0 0 n m、層間絶縁膜 5 1 5 として例えば T E O S を 1 0 0 n m、層間絶縁膜 5 1 6 として例えばプラズマ T E O S を 1 0 0 0 n m 堆積する。その後、CMP 法により層間絶縁膜 5 1 6 を平坦かつ膜厚 3 5 0 n m 程度になるまで研磨を行う。

【0198】次に、図 2 7 (a) に示すように、層間絶縁膜 5 1 3 ~ 5 1 6 に第 2 のコンタクトホール 5 2 9 を底部より開口部の方が広くなるように開口する。この時、第 2 のコンタクトホール 5 2 9 は、開口部の径が 8 0 0 n m、コンタクト底部が 6 0 0 n m であり、既に開口されて配線層 5 1 2 および配線層 5 1 1 で埋め込まれている第 1 のコンタクトホール 5 0 9 の直上に合うように、第 1 のコンタクトホール 5 0 9 を開口する際に使用したフォトリソグラフィ用マスクを使用して開口する。

【0199】なお、上記第 2 のコンタクトホール 5 2 9 の開口には、前記第 1 のコンタクトホール 5 0 9 を開口した際と同じフォトリソグラフィ用マスクでなくても構わないが、所望の第 1 のコンタクトホール 5 0 9 上に第 2 のコンタクトホール 5 2 9 が合せずれを起こさないようにフォトリソグラフィおよび異方性エッチングで開口する。

【0200】その後、配線層 5 1 7 を例えばチタンナイトライド 2 0 n m 程度堆積後、配線層 5 1 8 を例えばタングステン 5 0 0 n m 程度堆積し、前記第 2 のコンタクトホール 5 2 9 を完全に埋め込む。その後、配線層 5 1 8 および配線層 5 1 7 を CMP により層間絶縁膜 5 1 6 の表面が露出するまで研磨を行う。

【0201】続いて、図 2 7 (b) に示すように、層間絶縁膜 5 1 9 を例えばプラズマ T E O S 膜 2 0 0 n m 程度堆積した後、電極配線層 5 2 0 として例えば P t 膜 2 0 0 n m 程度堆積し、キャパシタ絶縁膜 5 2 1 として例えば P Z T を 2 0 0 n m 程度堆積し、電極配線層 5 2 2 として例えば P t 膜を 2 0 0 n m 程度堆積する。

【0202】次いで、フォトリソグラフィおよび異方性エッチングにより電極配線層 5 2 2 を任意の形状にパターニングを行う。さらに、フォトリソグラフィおよび異方性エッチングによりキャパシタ絶縁膜 5 2 1 を任意の形状にパターニングを行う。

【0203】次に、フォトリソグラフィおよび異方性エッチングにより電極配線層 5 2 0 を任意の形状にパターニングを行う。その後、層間絶縁膜 5 2 3 として例えば

プラズマTEOSを300nm程度堆積する。

【0204】さらに、層間絶縁膜523のうちの電極配線層522上に第3のコンタクトホール524を開口する。一方、図28に示すように、層間絶縁膜523および層間絶縁膜519のうちの前記第2のコンタクトホール529上に第4のコンタクトホール525を開口する。この時、第4のコンタクトホール525の開口部の径は800nm、コンタクト底部の径は600nmである。

【0205】その後、配線層526を例えば20nm程度堆積した後、配線層527を例えば400nm程度堆積する。そして、フォトリソグラフィおよび異方性エッチングにより配線層527および配線層526を任意の配線形状にパターンニングする。最後に、最終保護用絶縁膜528を例えば1000nm程度堆積する。

【0206】上述した実施例8の製造方法においては、開口部800nm、接続部（コンタクト底部）600nmの第1のコンタクトホール509は、コンタクト底部の径が600nm、コンタクト高さ712nmのアスペクト比約1.19のコンタクトとなる。

【0207】また、開口部800nm、接続部（コンタクト底部）600nmの第2のコンタクトホール529は、コンタクト底部の径が600nm、コンタクト高さ1050nmのアスペクト比約1.75のコンタクトとなる。また、開口部800nm、接続部（コンタクト底部）600nmの第4のコンタクトホール525は、コンタクト底部の径が600nm、コンタクト高さ1100nmのアスペクト比約1.83のコンタクトとなる。

【0208】前記第1、第2、第4のコンタクトホール509、529、525の接続部はそれぞれコンタクト上面がコンタクト底部より小さいのでコンタクト同士の接続時の左右の合せずれに対して余裕がある。

【0209】さらに、前記第1、第2、第4のコンタクトホール509、529、525は1つのコンタクト配線層として機能していることで、アスペクト比4.77の垂直に配線されたコンタクトホールと等価であり、微細化に非常に有効である。

【0210】また、コンタクト底部のデザインルールのきついパーツの集まる場所を、コンタクト径600nm程度に微細加工することができる。

【0211】上記実施例8により、以下に述べるような構成1～7の半導体装置を実現するものである。

【0212】（構成1）半導体基板上に形成された第1の拡散層と、前記第1の拡散層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の導電膜と、前記第1の絶縁膜に開口された開口部が底部より広くなるように一度の異方性エッチングで形成された第1のコンタクトホールに埋め込まれ、前記第1の拡散層および前記第1の導電膜を接続する金属配線とを具備することを特徴とする半導体装置。

【0213】（構成2）半導体基板上に形成された第1の拡散層と、前記第1の拡散層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の導電膜と、前記第1の絶縁膜に開口された開口部が底部より広く形成された第1のコンタクトホールに埋め込まれ、その少なくとも一部が前記第1の拡散層および前記第1の導電膜を接続する第1の金属配線と、前記第1の導電膜上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の導電膜と、前記第1のコンタクトホールに連なるように前記第2の絶縁膜に開口された開口部が底部より広く形成された第2のコンタクトホールに埋め込まれ、第1の金属配線の少なくとも一部および前記第2の導電膜を接続する第2の金属配線とを具備することを特徴とする半導体装置。

【0214】（構成3）構成2の半導体装置において、前記第1のコンタクトホールに埋め込まれた第1の金属配線の少なくとも一部と前記第2のコンタクトホールに埋め込まれた第2の金属配線が、少なくともコンタクトホールを埋め込むための金属配線形成工程以外の工程によって形成された導電膜を介さずに直接接続することを特徴とする半導体装置。

【0215】（構成4）半導体基板上に形成された第1の拡散層と、前記第1の拡散層上に形成された第1の絶縁膜と、前記第1の絶縁膜に開口された開口部が底部より広く形成された第1のコンタクトホールに埋め込まれた第1の金属配線と、前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第1のコンタクトホールに連なるように前記第2の絶縁膜に開口された開口部が底部より広く形成された第2のコンタクトホールに埋め込まれた第2の金属配線とを具備し、前記金属配線の埋め込み工程を少なくとも2回以上繰り返して多段にコンタクトを積み上げることにより1つのコンタクト配線層が形成されていることを特徴とする半導体装置。

【0216】（構成5）構成1乃至4のいずれかの半導体装置において、コンタクト配線層は、少なくとも2種類以上のコンタクトホール埋め込み材料を用いて形成されることを特徴とする半導体装置。

【0217】（構成6）構成1乃至4のいずれかの半導体装置において、少なくとも2回以上のコンタクトホール埋め込み工程によりコンタクト配線層が形成されることを特徴とする半導体装置。

【0218】（構成7）構成2乃至6のいずれか1項に記載の半導体装置において、前記コンタクトホールの底部の径と高さの比が1:1以上であることを特徴とする半導体装置。

【0219】即ち、上記実施例8によれば、以下に述べるような効果が得られる。

【0220】（1）コンタクトの開口部の面積よりコンタクト底部の面積の方が小さく形成されるので、デザインルール最小のパーツの集まるコンタクトの底部、つま

り接続部付近は高アスペクト比のコンタクトにも拘らず、微細加工が可能になる。

【0221】(2) コンタクト開口部の面積よりコンタクト底部の面積の小さいコンタクトの開口部に、コンタクト開口部の面積よりコンタクト底部の面積の小さいコンタクトの底部を接続することにより、コンタクト同士の接続のためにデザインを緩くすることなく合せずれに対してマージンをとることが可能になる。

【0222】(3) コンタクト同士を接続する際に、接続されるコンタクトとコンタクトの間にコンタクト配線をつなぐための配線層が不要となり、コンタクト接続に起因するデバイス面積の増加を抑制することができる。

【0223】(4) 垂直に配線された非常に高アスペクト比のコンタクトを形成することができ、かつ、コンタクトの形成に必要な面積はコンタクト開口部の径で規定することが可能になる。

【0224】(5) 2種類以上のコンタクト配線埋め込み材料を使用することにより、コンタクト配線形成後の工程によるコンタクト配線の特性劣化の防止や、コンタクト同士を接続する際の密着性の向上を図ることが可能になる。

【0225】(6) 2回以上のコンタクト埋め込み工程を行うことにより、コンタクト配線層の被覆性の向上を図ることが可能になる。

【0226】(7) コンタクトの開口部がコンタクト底部より大きく、かつ、アスペクト比の大きいコンタクトをほぼ垂直多段に積み上げて1つのコンタクト配線層を形成することにより、多層化によるコンタクト接続の増大によるチップサイズの増加を抑制することができる。

【0227】(実施例9)(図29～図34)
まず、図29(a)に示すように、例えばPタイプのSi基板601上に例えば熱酸化工程により素子分離領域602を形成する。その後、トランジスタのゲート酸化膜604を例えば12nm程度の膜厚で形成した後、トランジスタのゲート電極605となる例えばタングステンシリサイドを200nm程度の膜厚で形成する。

【0228】次いで、トランジスタのゲート保護膜606を形成し、拡散層領域603を例えば加速エネルギー30keV、密度 1×10^{17} 程度のイオン注入により形成した後、ゲート電極保護材607となる例えばシリコンナイトライドを50nm程度の膜厚で形成する。

【0229】次に、図29(b)に示すように、層間絶縁膜608として例えばTEOSを1000nm堆積した後、CMPにより層間絶縁膜608をその表面が平坦かつ膜厚が500nm程度になるように研磨した後、異方性エッチングにより層間絶縁膜608に第1のコンタクトホール609を開く。この時、コンタクト径は例えば600nmとする。

【0230】続いて、図29(c)に示すように、配線層610として例えばチタンナイトライドを20nm程

度堆積した後、配線層611として例えばタングステンを300nm程度堆積し、異方性エッチングにより配線層610および配線層611を同時に所望の配線形状に加工する。

【0231】その後、図30(a)に示すように、前記層間絶縁膜608に対して異方性エッチングの選択比を十分にとれる層間絶縁膜612として例えばSiNを800nm程度堆積した後、CMPにより、前記層間絶縁膜612を平坦に、かつ、例えば膜厚350nm程度になるまで平坦に研磨を行う。

【0232】次に、図30(b)に示すように、前記第1のコンタクトホール609に連なるように、かつ、それより大きな径で第2のコンタクトホール613を層間絶縁膜612に開口する。この時、第2のコンタクトホール613の径は例えば800nmであり、既に第1のコンタクトホール609内に埋め込まれている配線層611の一部の直上に合うように開口する。

【0233】その後、図30(c)に示すように、配線層614として例えばタングステンを500nm程度堆積し、前記第2のコンタクトホール613を完全に埋め込む。この時、配線層614を埋め込む前に導電性材料として例えばTiN等を20nm程度埋め込み、コンタクト同士の密着性の向上を図ってもよい。

【0234】さらに、図31(a)に示すように、層間絶縁膜612の表面が露出するまで配線層614をCMPにより研磨する。その後、層間絶縁膜615として例えばプラズマTEOS膜を800nm程度堆積後、CMPにより層間絶縁膜615を平坦に、かつ、例えば膜厚500nm程度になるまで研磨を行う。

【0235】次いで、図31(b)に示すように、既に第2のコンタクトホール613内に埋め込まれている配線層614の直上に連なるように第3のコンタクトホール616を層間絶縁膜615に開口する。この時、第3のコンタクトホールの径は例えば600nmとする。

【0236】その後、図31(c)に示すように、配線層617として例えばTiNを20nm程度、配線層618として例えばタングステンを500nm程度、コンタクトホール616を完全に埋め込むように順次堆積する。

【0237】そして、図32(a)に示すように、層間絶縁膜615の表面が露出するまで配線層618および配線層617をCMPにより研磨する。その後、図32(b)に示すように、層間絶縁膜619として、層間絶縁膜615に対して異方性エッチングの選択比が十分とれる材料(例えばSiNx)を800nm程度堆積する。さらに、CMPにより層間絶縁膜619を平坦に、かつ、例えば膜厚400nm程度になるように研磨する。

【0238】次に、図33(a)に示すように、既に第3のコンタクトホール616内に埋め込まれている配線

層 6 1 8 の直上に連なるように、かつ、第 3 のコンタクトホール 6 1 6 より大きな径になるように、層間絶縁膜 6 1 9 に第 4 のコンタクトホール 6 2 0 を開口する。この時、第 4 のコンタクトホール 6 2 0 の径は例えば 8 0 0 nm とする。

【 0 2 3 9 】その後、図 3 3 (b) に示すように、配線層 6 2 1 として例えば TiN を 2 0 nm 程度堆積する。さらに、コンタクトホール 6 2 0 を完全に埋め込むように配線層 6 2 2 を例えば Al を 5 0 0 nm 程度堆積する。

【 0 2 4 0 】続いて、図 3 4 (a) に示すように、異方性エッチングにより配線層 6 2 2 および配線層 6 2 1 を所望の配線形状に同時に加工する。その後、図 3 4

(b) に示すように、最終絶縁膜 6 2 3 を堆積する。なお、電荷蓄積キャパシタ (図示せず) は、その上部電極あるいは下部電極が配線層 6 2 2 と接続されるように適宜形成されている。

【 0 2 4 1 】上記実施例 9 のように径の小さいコンタクトホール 6 0 9 と径の大きいコンタクトホール 6 1 3 と径の小さいコンタクトホール 6 1 6 と径の大きいコンタクトホール 6 2 0 をほぼ垂直に接続することにより、コンタクト径を 6 0 0 nm とした時、アスペクト比約 3 . 8 2 のコンタクト配線層を実現できる。

【 0 2 4 2 】上記プロセスにより形成した多段コンタクトを構成する径が 8 0 0 nm の太いコンタクト部分は、平面方向に配線の密集しない部分に形成されるので、デバイスの平面方向の寸法の増加には影響しない。

【 0 2 4 3 】また、接続されるコンタクトのコンタクトホールが形成される層間絶縁膜としては、既に形成されているコンタクトのコンタクトホールが形成されている層間絶縁膜とエッチング時の選択比が十分にとれる絶縁材料を使用することにより、コンタクトホール開口時の過度のエッチングによって層間絶縁膜が深くエッチングされて他の配線に到達し、その後の配線層埋め込み工程によりショートしてしまうということを回避できる。

【 0 2 4 4 】また、多段に形成されるコンタクト配線層を構成しているコンタクトは、コンタクト径の小さいものの上にコンタクト径の大きなものを接続するという手法で形成することにより、コンタクト同士を接続する時の平面方向における合せずれに対してマージンを確保することができる。

【 0 2 4 5 】即ち、上記実施例 9 により、以下に述べるような構成 8 ～ 1 3 の半導体装置を実現するものである。

【 0 2 4 6 】 (構成 8) 半導体基板上に形成された第 1 の拡散層と、前記第 1 の拡散層上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された第 1 の導電膜と、前記第 1 の絶縁膜に開口された第 1 のコンタクトホールに埋め込まれ、その少なくとも一部が前記第 1 の拡散層と前記第 1 の導電膜とを接続する第 1 の金属配線

と、前記第 1 の導電膜上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された第 2 の導電膜と、前記第 1 のコンタクトホールに連なるように前記第 2 の絶縁膜に開口された前記第 1 のコンタクトホールより径が広い第 2 のコンタクトホールに埋め込まれ、前記第 1 の金属配線の少なくとも一部および前記第 2 の導電膜を接続する第 2 の金属配線とを具備することを特徴とする半導体装置。

【 0 2 4 7 】 (構成 9) 構成 8 の半導体装置において、前記第 1 のコンタクトホールに埋め込まれた第 1 の金属配線の少なくとも一部と第 2 のコンタクトホールに埋め込まれた第 2 の金属配線が、少なくともコンタクトホールを埋め込むための金属配線形成工程以外の工程によって形成された導電膜を介さずに直接接続されることを特徴とする半導体装置。

【 0 2 4 8 】 (構成 1 0) 半導体基板上に形成された第 1 の拡散層と、前記第 1 の拡散層上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜に開口された第 1 のコンタクトホールに埋め込まれた第 1 の金属配線と、前記第 1 の絶縁膜上に形成された第 2 の絶縁膜と、前記第 1 のコンタクトホールに連なるように前記第 2 の絶縁膜に開口された前記第 1 のコンタクトホールより径が広い第 2 のコンタクトホールに埋め込まれた第 2 の金属配線と、前記第 2 の絶縁膜上に形成された第 3 の絶縁膜と、前記第 2 のコンタクトホールに連なるように前記第 3 の絶縁膜に開口された前記第 2 のコンタクトホールより径が小さい第 3 のコンタクトホールに埋め込まれた第 3 の金属配線とを具備し、径が広いコンタクトホールに埋め込まれた金属配線と径が小さいコンタクトホールに埋め込まれた金属配線とを繰り返して多段にコンタクトを積み上げることにより 1 つのコンタクト配線層が形成されていることを特徴とする半導体装置。

(構成 1 1) 構成 8 乃至 1 0 のいずれかの半導体装置において、少なくとも 2 種類以上のコンタクトホール埋め込み材料を用いてコンタクト配線層が形成されることを特徴とする半導体装置。

【 0 2 4 9 】 (構成 1 2) 構成 8 乃至 1 0 のいずれかの半導体装置において、少なくとも 2 回以上のコンタクトホール埋め込み工程によりコンタクト配線層が形成されることを特徴とする半導体装置。

【 0 2 5 0 】 (構成 1 3) 構成 9 乃至 1 2 のいずれかの半導体装置において、多段に形成されたコンタクトホールの最小底部径と多段に形成されたコンタクトホールの高さの総和との比が少なくとも 1 : 2 以上であることを特徴とする半導体装置。

【 0 2 5 1 】即ち、上記実施例 9 によれば、以下に述べるような効果が得られる。

【 0 2 5 2 】 (8) デザインルール最小のパーツの集まる基板表面や配線層と同一階層部分は、コンタクト径の小さい高アスペクト比のコンタクトを意図的に使えるの

で、微細加工が可能になる。

【0253】(9) コンタクト同士を接続する際に、接続されるコンタクトとコンタクトの間にコンタクト配線をつなぐための配線層が不要となり、コンタクト接続に起因するデバイス面積の増加を抑制し、かつ工程の簡略化を図ることが可能になる。

【0254】(10) 小さい径のコンタクト上に、それよりも大きな径のコンタクトを接続することにより、コンタクト接続による合せずれのマージンを大きくとることが可能になる。また、こうしたコンタクトホールを開口する上下の層間絶縁膜のエッチング時の選択比を十分にとることにより、過度のエッチングによる他の配線層とのショート回避することが可能になる。

【0255】(11) 2種類以上のコンタクト配線埋め込み材料を使用することにより、コンタクト配線形成後の工程によるコンタクト配線の特性劣化の防止や、コンタクト同士の接続の際の密着性の向上を図ることが可能になる。

【0256】(12) 2回以上のコンタクト埋め込み工程を行うことで、コンタクト配線層の被覆性の向上を図ることが可能になる。

【0257】(13) アスペクト比の大きいコンタクトをほぼ垂直多段に積み上げ1つのコンタクト配線層を形成することによって、多層化によるコンタクト接続の増大によるチップサイズの増加を抑制することが可能になる。

【0258】

【発明の効果】上述したように本発明によれば、強誘電体メモリセルを製造する際に、強誘電体キャパシタの特性劣化を防止し、かつ、プロセスインテグレーションを可能とする半導体装置およびその製造方法を提供することができる。

【0259】また、本発明によれば、強誘電体膜に水素や水分が及ぼすダメージから保護し得る構造を有する半導体装置およびその製造方法を提供することができる。

【0260】また、本発明によれば、強誘電体膜の残留分極量の劣化を低く押さえることが可能な半導体装置およびその製造方法を提供することができる。

【0261】また、本発明によれば、還元性雰囲気による高・強誘電体膜の特性の劣化を防ぐことが可能な半導体装置およびその製造方法を提供することができる。

【0262】さらに、本発明によれば、高・強誘電体膜形成前に既に形成した配線層および素子を酸化から保護し、配線層および素子の良好な導電性および形状を維持、供給することが可能な半導体装置およびその製造方法を提供することができる。

【0263】また、本発明によれば、少なくとも2層以上の多層配線構造を有する強誘電体メモリを製造する際に、セルに接続されるビット線を多層配線で形成することが可能になり、高集積化および他のデバイスとの混載

が容易になる半導体装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法に係る実施例1の工程の一部を示す断面図。

【図2】図1の工程に続く工程を示す断面図。

【図3】図1の工程の変形例の要部を示す断面図。

【図4】本発明の半導体装置の製造方法に係る実施例2の工程の一部を示す断面図。

【図5】図4の工程に続く工程を示す断面図。

【図6】図4の工程の変形例の要部を示す断面図。

【図7】本発明の半導体装置の製造方法に係る実施例3の工程の一部を示す断面図。

【図8】図7の工程に続く工程を示す断面図。

【図9】本発明の半導体装置の製造方法に係る実施例4の工程の一部を示す断面図。

【図10】図9の工程に続く工程を示す断面図。

【図11】図10の工程に続く工程を示す断面図。

【図12】図11の工程に続く工程を示す断面図。

【図13】図12の工程に続く工程を示す断面図。

【図14】本発明の半導体装置の製造方法に係る実施例5の工程の一部を示す断面図。

【図15】図14の工程に続く工程を示す断面図。

【図16】図15の工程に続く工程を示す断面図。

【図17】図16の工程に続く工程を示す断面図。

【図18】図17の工程に続く工程を示す断面図。

【図19】本発明の半導体装置の製造方法に係る実施例6のFRAMのセルアレイの一部を示す断面図。

【図20】図19のFRAMのセルアレイの製造工程の一部に対応する平面パターンを示す図。

【図21】図20の工程に続く工程に対応する平面パターンを示す図。

【図22】図21の工程に続く工程に対応する平面パターンを示す図。

【図23】本発明の半導体装置の製造方法に係る実施例7の工程の一部を示す断面図。

【図24】図24の工程に続く工程を示す断面図。

【図25】図24に対応する平面パターンを示す図。

【図26】本発明の半導体装置の製造方法に係る実施例8の工程の一部を示す断面図。

【図27】図26の工程に続く工程を示す断面図。

【図28】図27の工程に続く工程を示す断面図。

【図29】本発明の半導体装置の製造方法に係る実施例9の工程の一部を示す断面図。

【図30】図29の工程に続く工程を示す断面図。

【図31】図30の工程に続く工程を示す断面図。

【図32】図31の工程に続く工程を示す断面図。

【図33】図32の工程に続く工程を示す断面図。

【図34】図33の工程に続く工程を示す断面図。

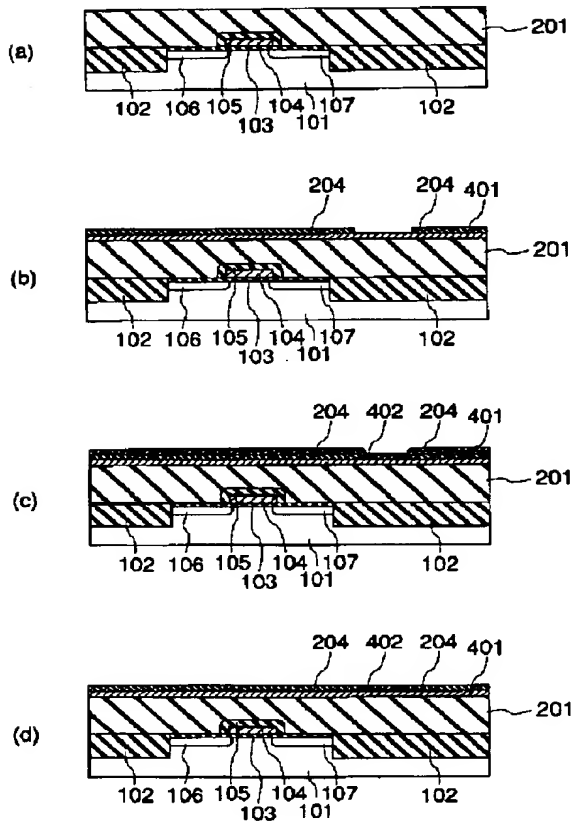
【図35】従来技術による高・強誘電体膜を用いたメモ

リデバイスの製造工程の一部を示す断面図。

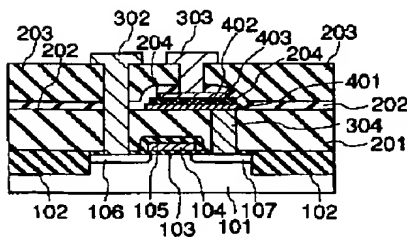
【符号の説明】

- 101 …シリコン基板、
- 102 …素子分離を形成するシリコン酸化膜、
- 103 …ゲート酸化膜、
- 104 …ゲート、
- 105 …ゲート保護膜、
- 106 …ソース領域、
- 107 …ドレイン領域、
- 201 …第1層間絶縁膜、
- 202 …第2層間絶縁膜、

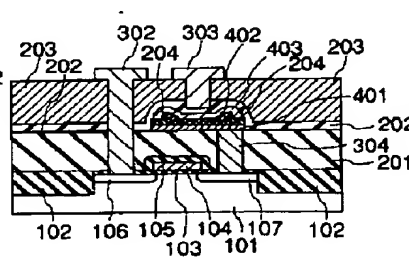
【図 1】



【図 3】



【図 6】



203 …第3層間絶縁膜、

204 …強誘電体側壁部分をなす絶縁性膜、

301 …トランジスタとキャパシタ間の局所配線、

302 …トランジスタへのコンタクトおよび配線層、

303 …キャパシタのコンタクトおよび配線層、

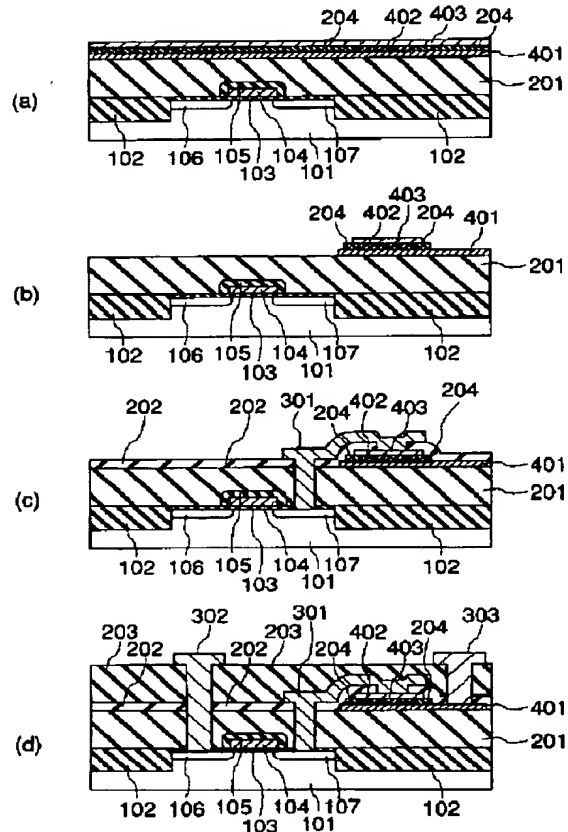
304 …トランジスタとキャパシタ間の局所配線を形成する埋め込みコンタクト、

401 …キャパシタの下部電極、

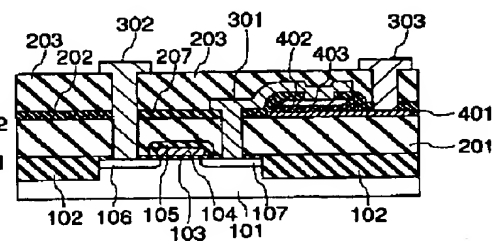
402 …強誘電体、

10 403 …キャパシタの上部電極。

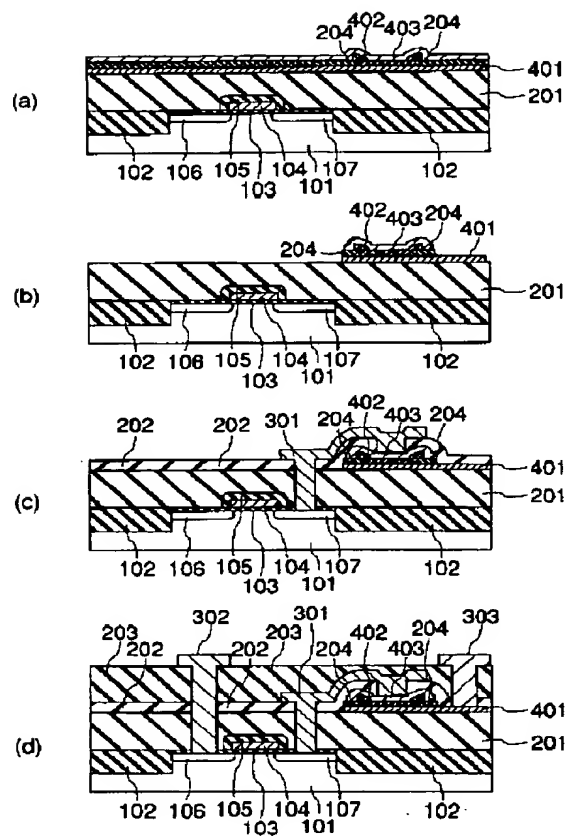
【図 2】



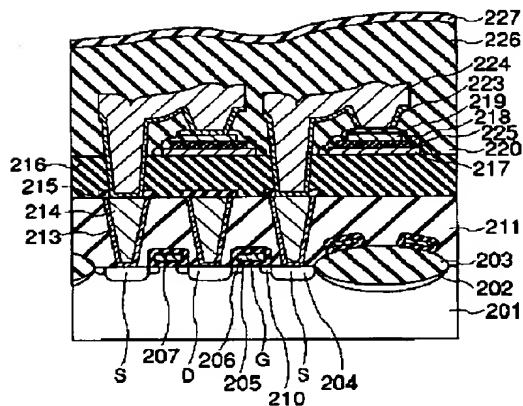
【図 3 5】



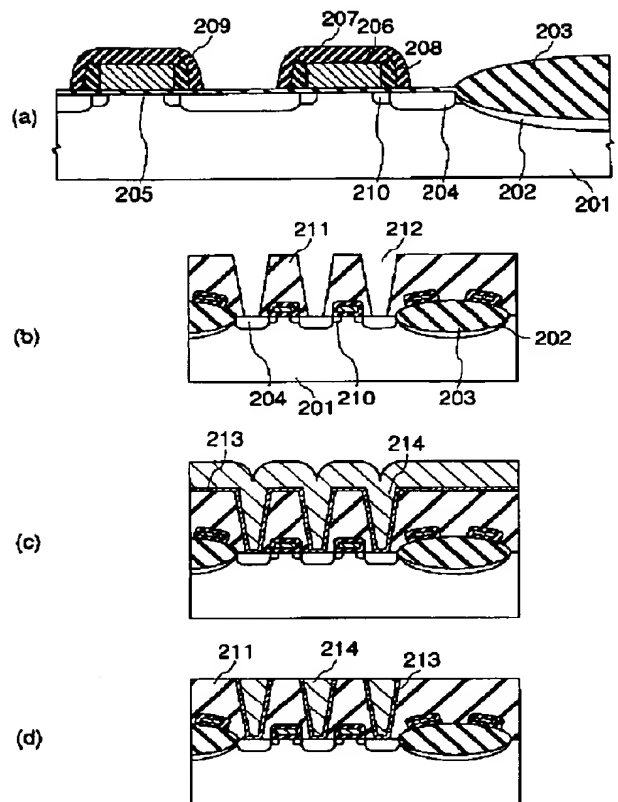
【図 5】



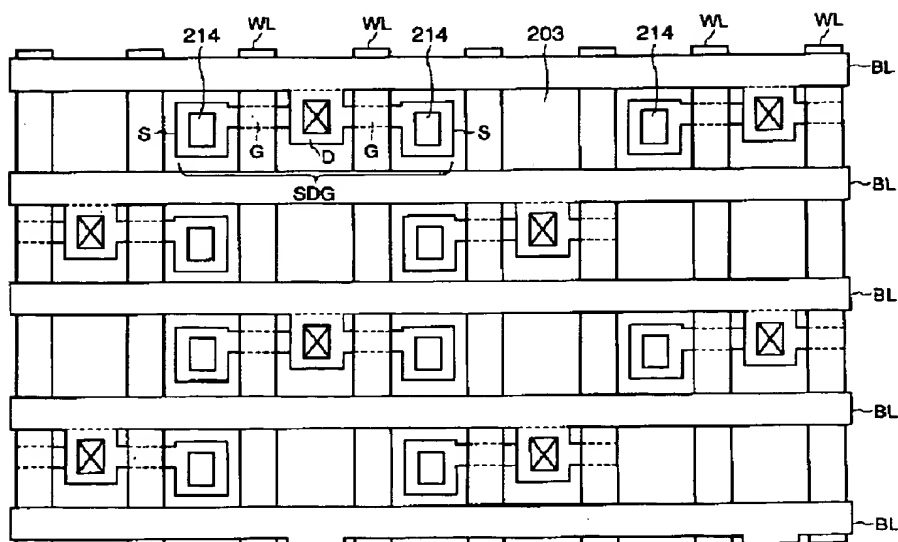
【図 19】



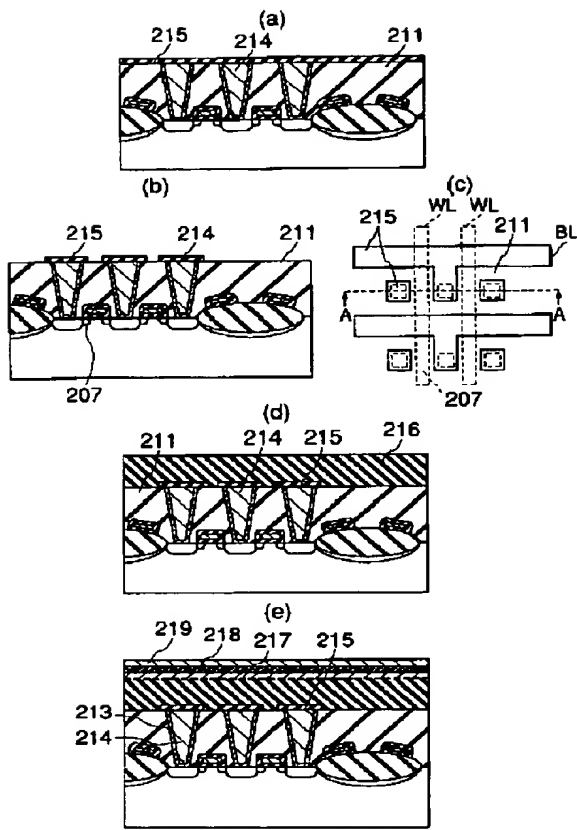
【図 9】



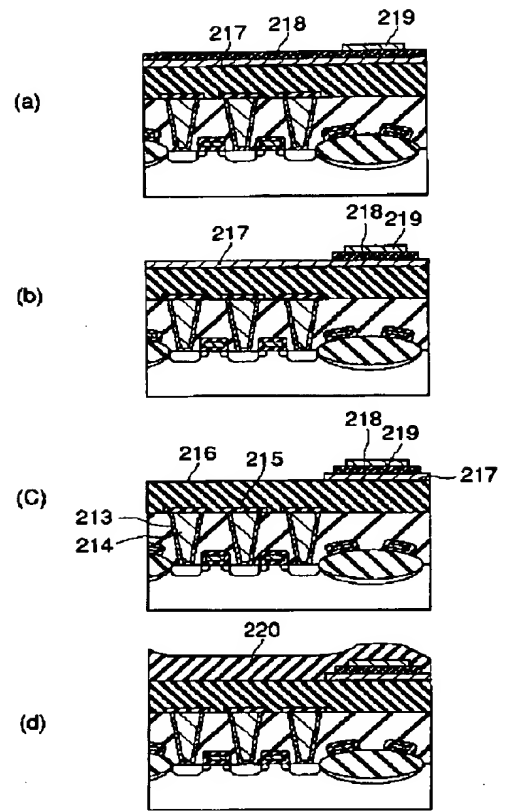
【圖 20】



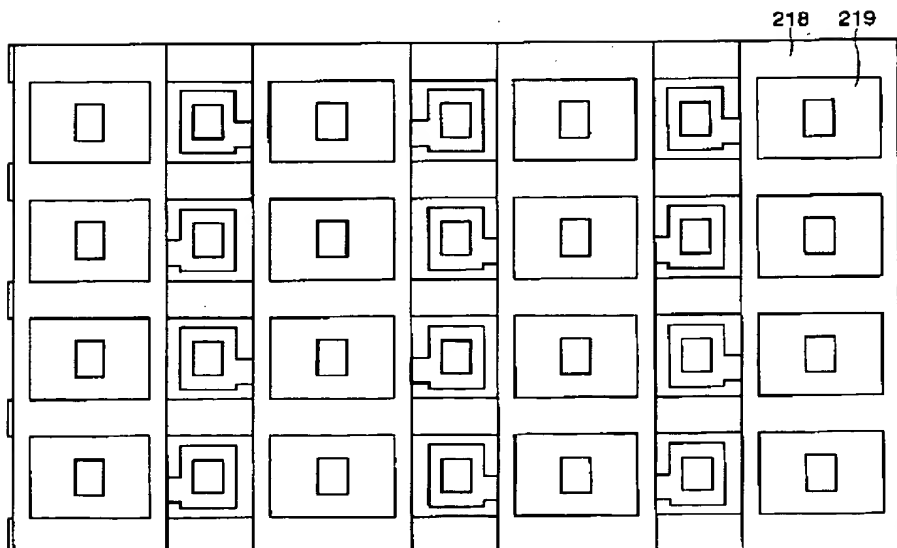
【図 1 0】



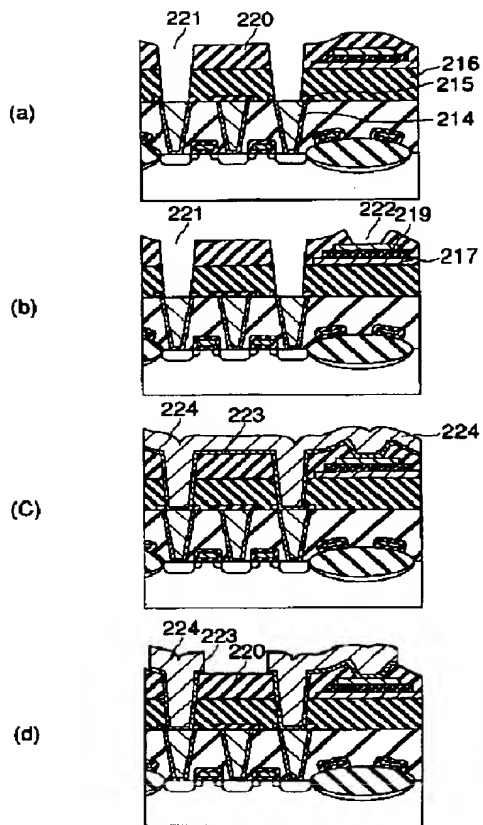
【図 1 1】



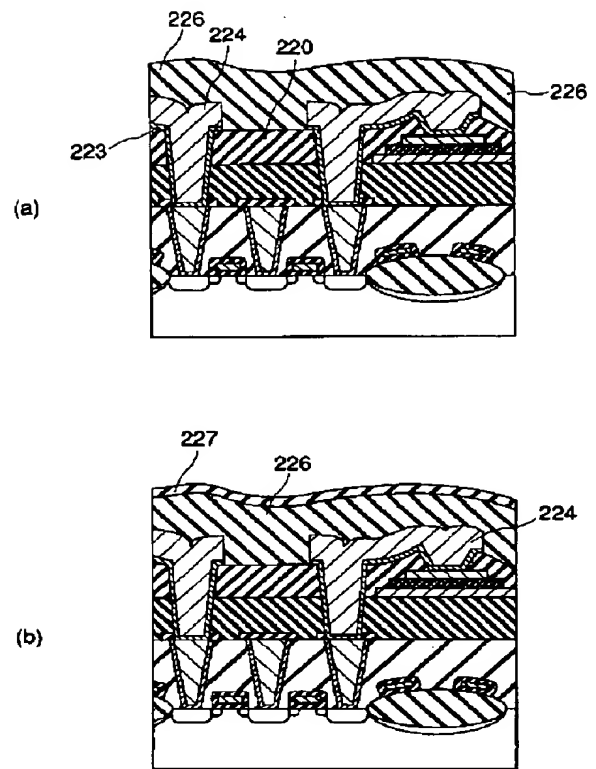
【図 2 1】



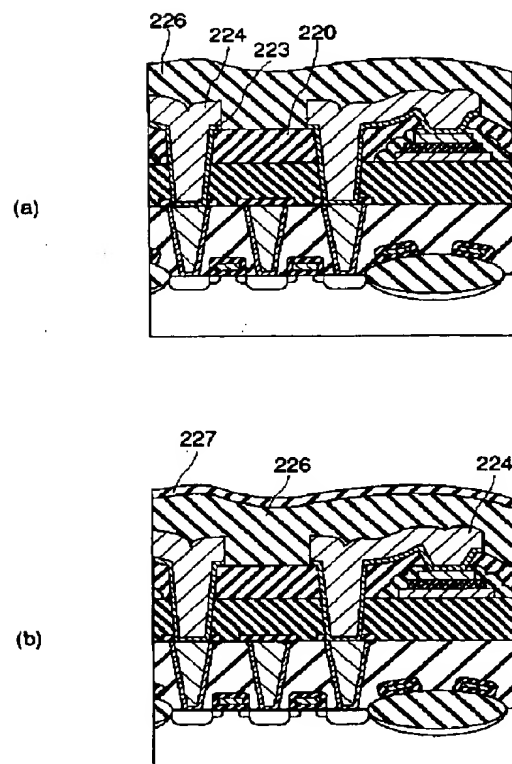
【図 1 2】



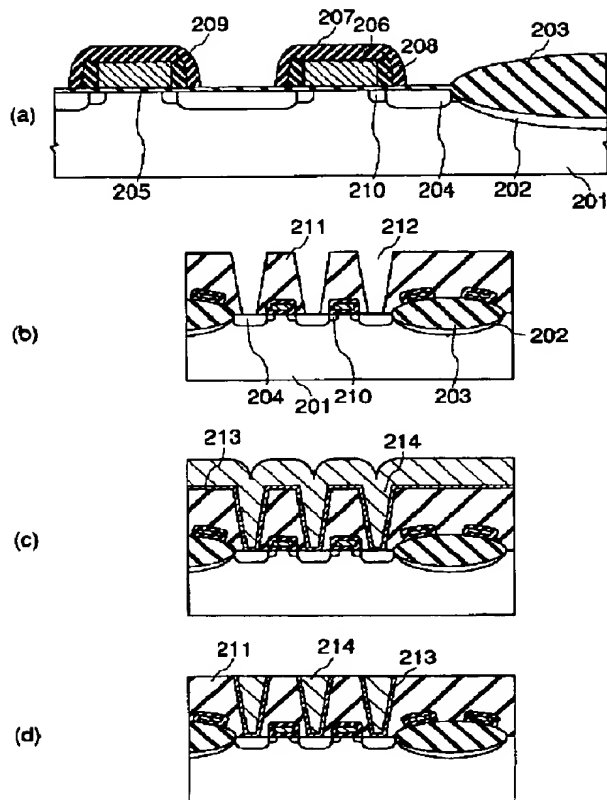
【図 1 3】



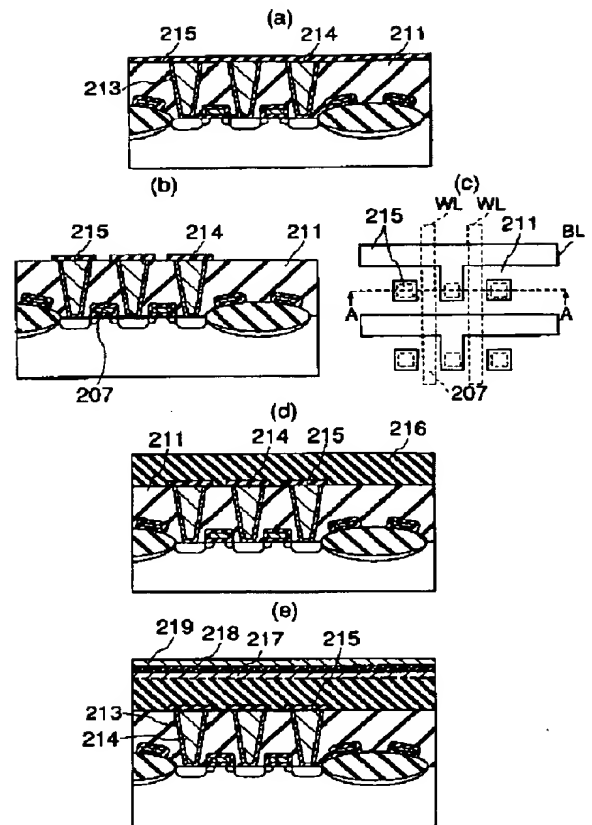
【図 1 8】



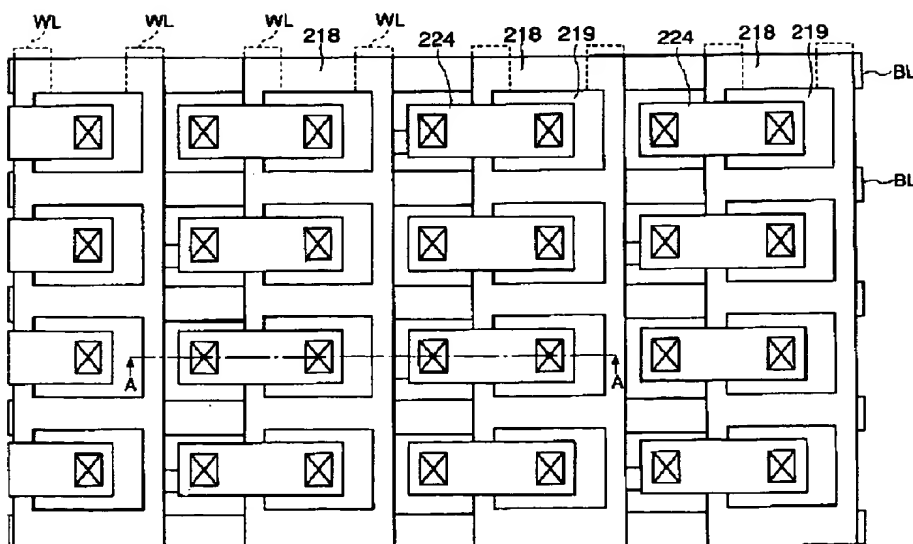
【図 1 4】



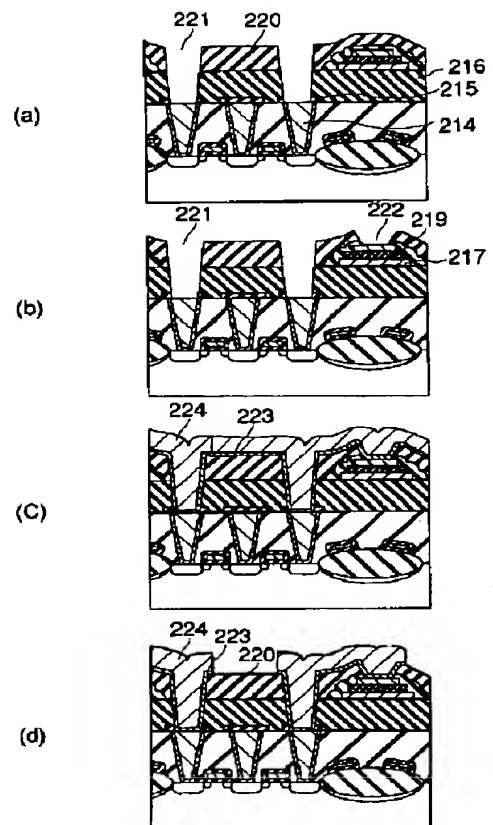
【図 1 5】



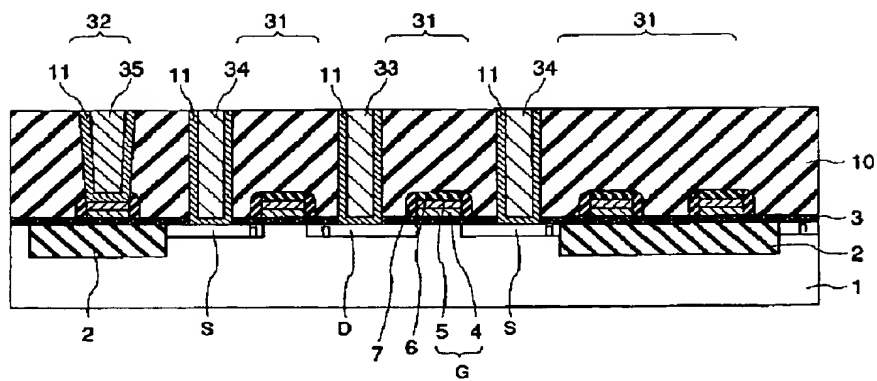
【図 2 2】



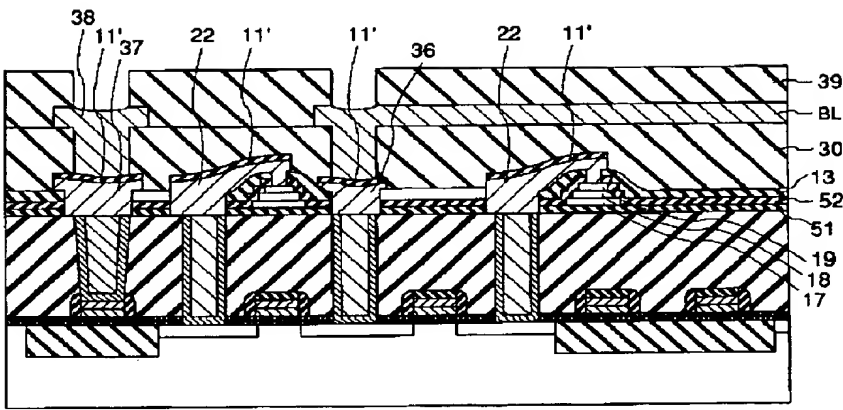
【図 17】



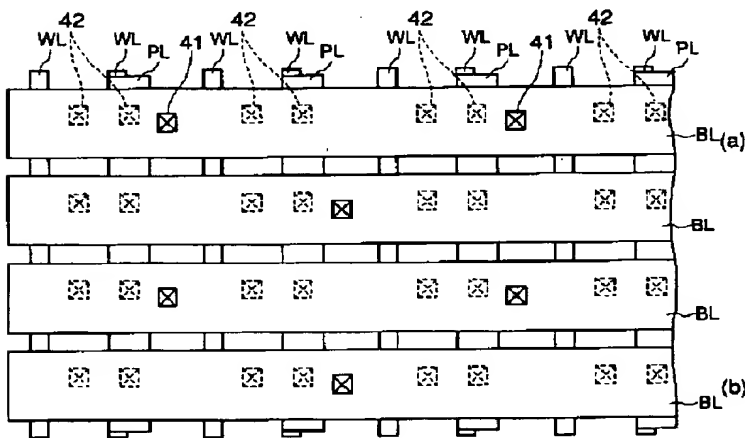
【图 2 3】



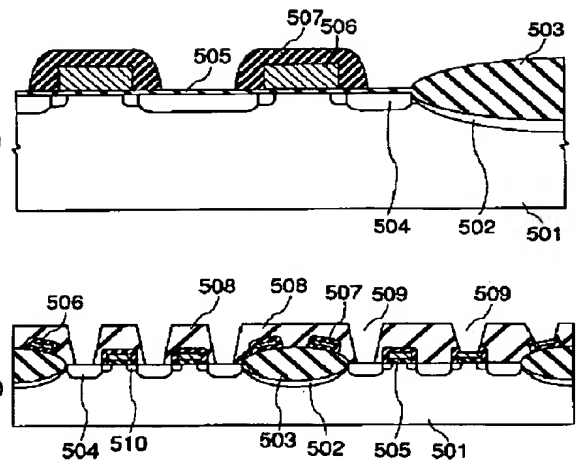
【図 2 4】



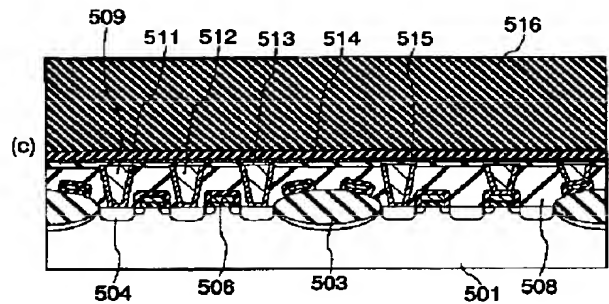
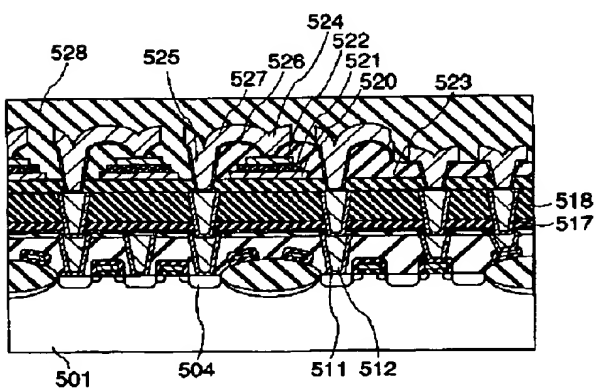
【図 2 5】



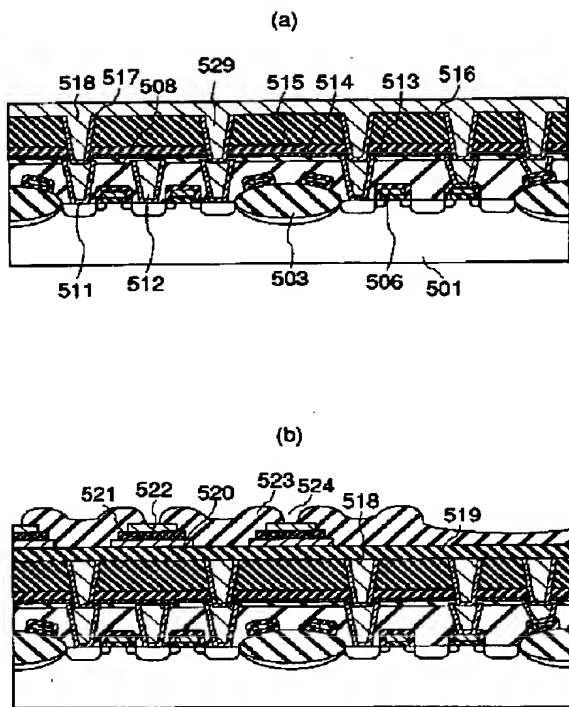
【図 2 6】



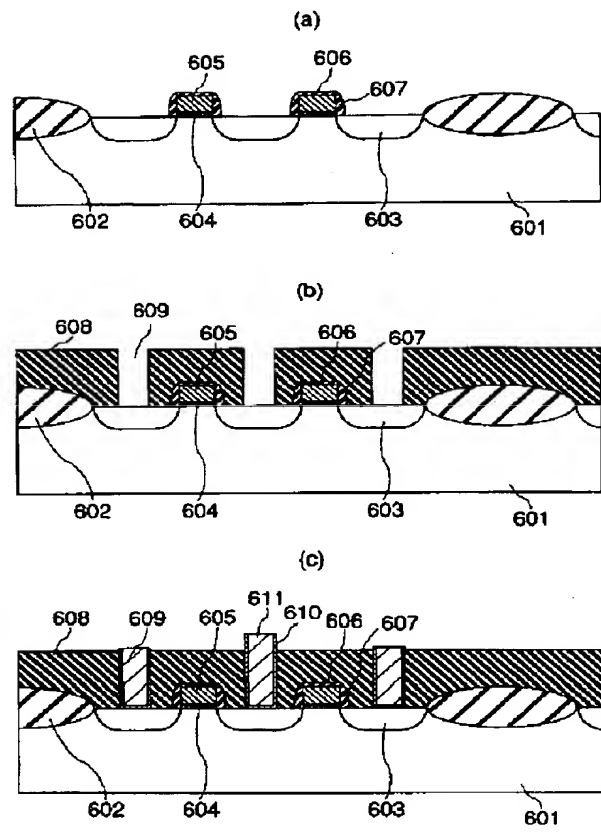
【図 2 8】



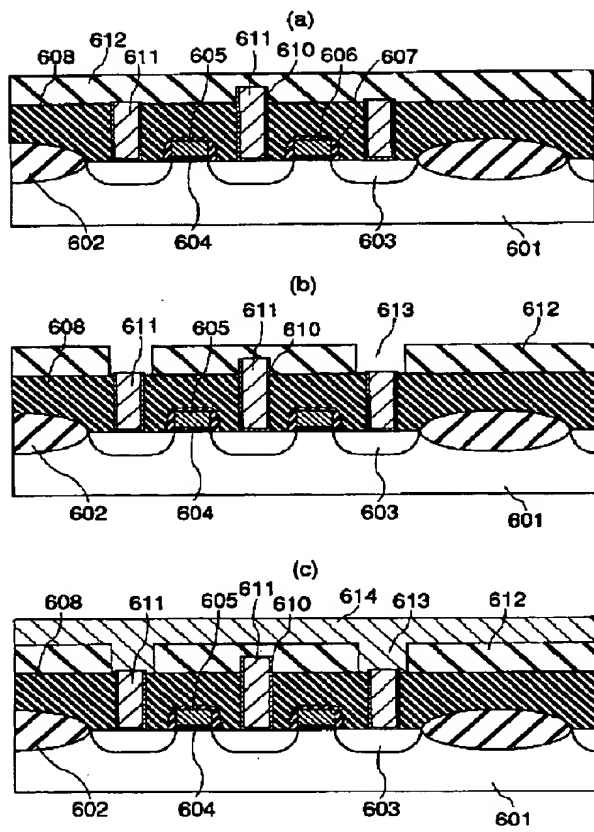
【図 2 7】



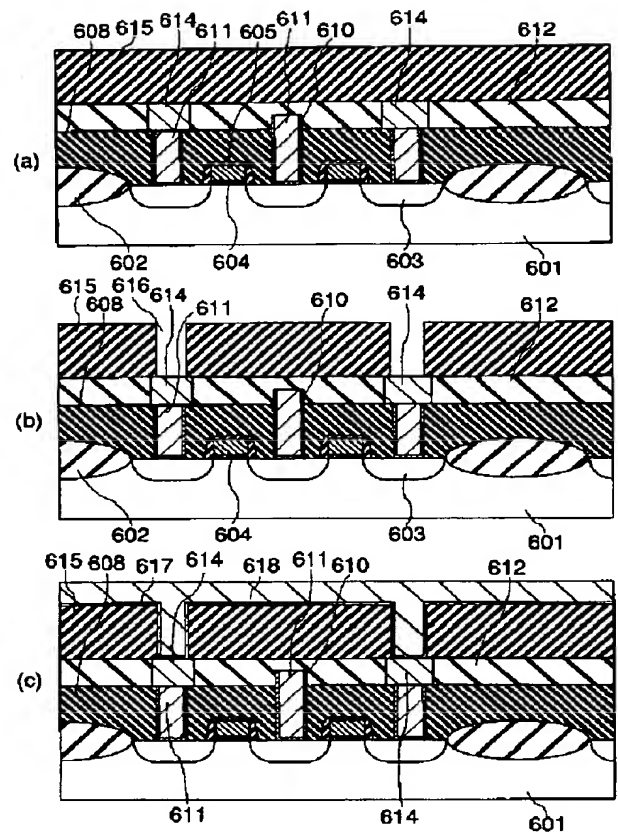
【図 2 9】



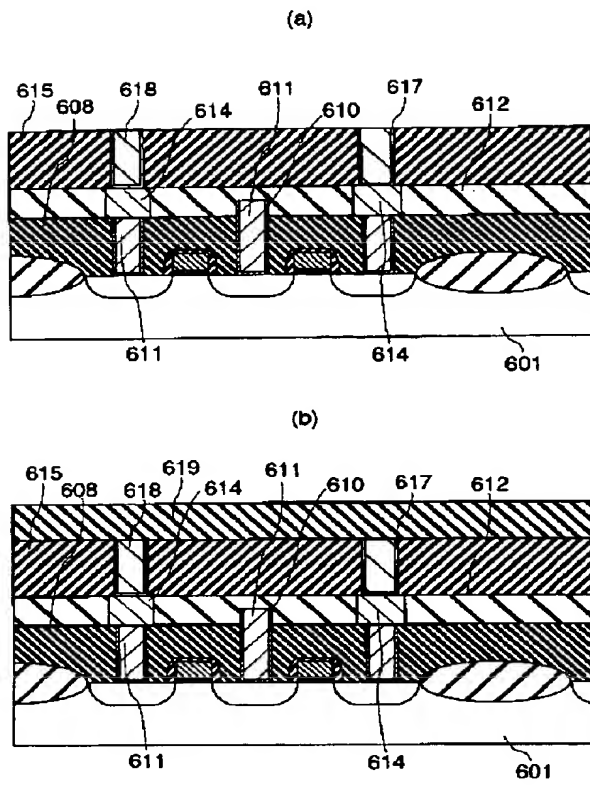
【図 3 0】



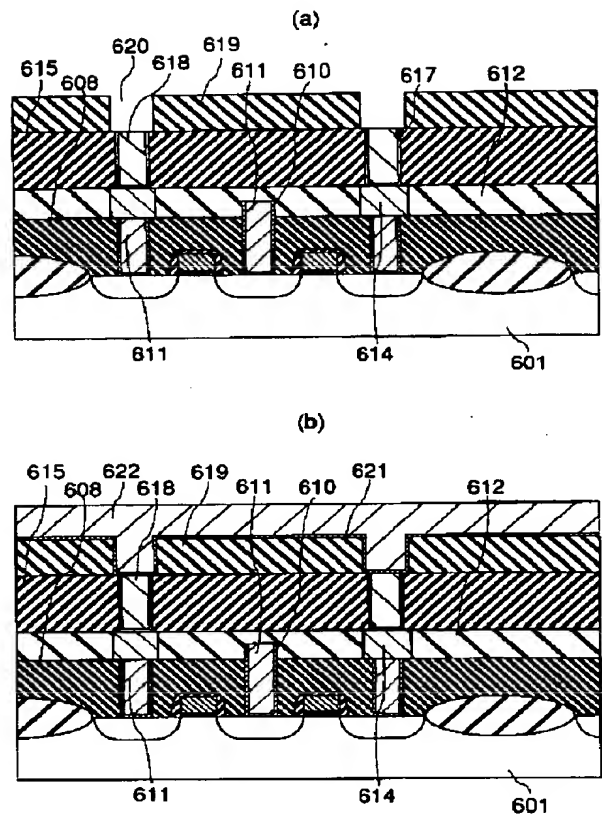
【図 3 1】



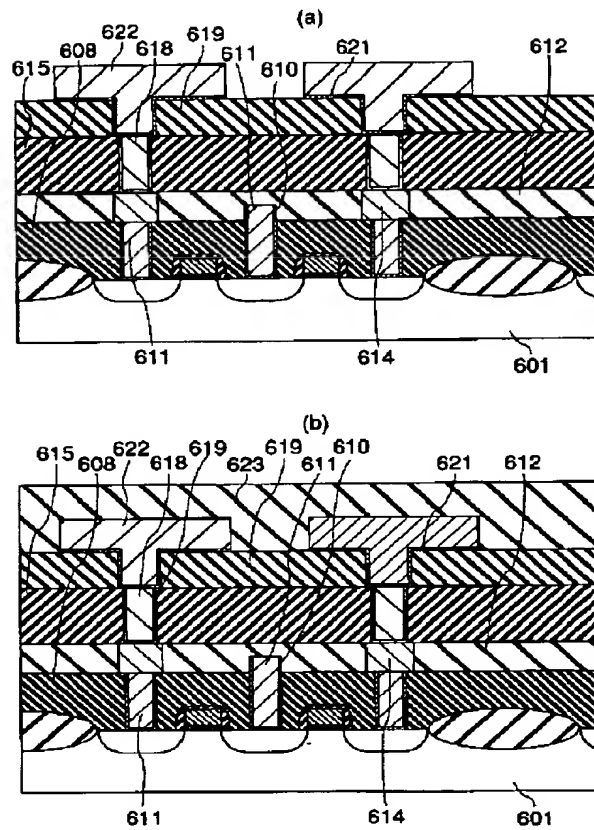
【圖 3 2】



【圖 3 3】



【図 3 4】



フロントページの続き

(51) Int. Cl. ⁶

21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 大槻 純人
神奈川県川崎市川崎区駅前本町 2 5 番地 1
東芝マイクロエレクトロニクス株式会社
内

(72) 発明者 望月 博
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 金谷 宏行
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 奥和田 久美
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 堅田 富夫
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 新井 範久
神奈川県川崎市川崎区駅前本町 2 5 番地 1
東芝マイクロエレクトロニクス株式会社
内

(72) 発明者 竹中 博幸
神奈川県川崎市川崎区駅前本町 2 5 番地 1
東芝マイクロエレクトロニクス株式会社
内